

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-334743

(43)Date of publication of application : 17.12.1996

(51)Int.Cl.

G02F 1/133

G02F 1/133

G09G 3/36

H04N 5/66

(21)Application number : 07-140287

(71)Applicant : HITACHI LTD  
HITACHI VIDEO IND INF SYST INC

(22)Date of filing : 07.06.1995

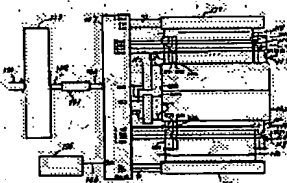
(72)Inventor : FURUHASHI TSUTOMU  
IKEGAMI YASUO  
TAKITA ISAO  
IKEDA MAKIKO  
TANAKA TAKESHI  
FUTAMI TOSHIO  
TSUNEKAWA SATORU

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To prevent the increase of a frame period even though the amount of data is increased, to avoid the decrease in the area of a source driver and to eliminate the reduction in the pitch of TAB of the source driver without making the TAB finer even though the output pitch of the source driver is to be made finer.

**CONSTITUTION:** A memory controller 103 rearranges display data and writes the data into a memory 102. An LCD controller 107 outputs the read display data to source drivers 111 and 112, and FLM and CL3 are outputted to gate drivers 120 and 121. The controller 107 successively puts switch groups 116, 117, 118 and 119 into conduction conditions and the gradation voltage outputted to a gradation voltage line 110 by the drivers 111 and 112 are applied to source lines STO... and SBO... corresponding to Lines 0, 1, 2 and 3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The panel of the liquid crystal with which it has the pixel section arranged in the shape of a matrix, and two or more gate lines and two or more source lines were pulled out, A storage means to memorize the above indicative data by said one panel, and the storage means control section which inputs said indicative data, rearranges into the pixel array corresponding to said panel, and writes the data in said storage means, A source driver with two or more gradation electrical-potential-difference lines which carry out the sequential storage of said indicative data, and output the electrical potential difference corresponding to an indicative data corresponding to the pixel array of said panel, A selection means to choose one of the voltage-output lines which inputted each gradation electrical-potential-difference line of said source driver, divided two or more said each gradation electrical-potential-difference lines into the book, respectively, inputted two or more same selection signals as it, and were divided into those [ two or more ] with the selection signal, The gate driver which outputs a sequential selection electrical potential difference to two or more gate lines of said panel, A clock is inputted from the clock generation section which generates a clock, and said clock generation section. Read the indicative data memorized by said storage means, and the indicative data is outputted to said source driver. In the liquid crystal display which consists of a control section which outputs the signal outputs two or more selection signals to said selection means, and it is made to begin to output a sequential selection electrical potential difference to said gate driver at a gate line Said panel is divided into the upper part and the lower part, and said one source driver [ two ] in all is allotted to each upper part and lower part of said divided panel. the left part of said divided panel — or the liquid crystal display characterized by arranging the object for the upper parts, and said two gate drivers in all for the lower parts at a time on one right part.

[Claim 2] The liquid crystal display which arranged the object for the upper parts, and said two gate drivers in all for the lower parts on the left or every one right of said panel where said panel allotted said one source driver [ four ] in all to each the right and left of each with the upper part of said panel divided and divided into the upper part and the lower part, and the lower part, and was divided in claim 1.

[Claim 3] The liquid crystal display which arranged said one gate driver [ two ] in all on each right and left of said panel by which said panel allotted said one source driver [ two ] in all to each right and left of said panel divided and divided into right and left, and was divided in claim 1.

[Claim 4] Said panel is divided into a left part and the right part in a liquid crystal display according to claim 1. The source line of both the left part of said the divided panel and the right part is pulled out from the bottom from said panel every one gate line. The liquid crystal display which allotted said one source driver [ four ] in all to each the upper and lower sides of each with the left part of said divided panel, and the right part, and arranged said one gate driver [ two ] in all on each left part and right part of said divided panel.

[Claim 5] Said panel is divided into the upper left section, a left lower quadrant, an upper right portion, and an upper right portion in claim 1. On an upper right portion on an upper right portion under a left lower quadrant on the upper left section of said divided panel Allot said every four one-piece source drivers in all, and to the upper left section and the left lower quadrant of said divided panel The liquid

crystal display arranges said one gate driver [ two ] in all on an upper right portion and each upper right portion, respectively, and it was made to drive an upper-right portion and an upper right portion for the upper left section and a left lower quadrant to them at coincidence, respectively.

[Claim 6] The liquid crystal display which the gate line of said panel was pulled out by Hidari from the right of said panel every two source lines, allotted said source driver of two right and left of said panel top or the bottom in all in claim 1, and arranged said one gate driver [ two ] in all on each left-hand side and right-hand side of said panel.

[Claim 7] In claim 1, the gate line of said panel is pulled out by Hidari from the right of said panel every four source lines. The liquid crystal display with which the source line of said panel was pulled out from said panel top and the bottom every one source line, allotted said two one-piece each source drivers in all to said panel top and bottom, and arranged said one gate driver [ two ] in all on each left-hand side and right-hand side of said panel.

[Claim 8] The liquid crystal display which the gate line of said panel was pulled out by Hidari from the right of said panel every four source lines, allotted said one source driver to said panel top or bottom in claim 1, and arranged said one gate driver [ two ] in all on each left-hand side and right-hand side of said panel.

[Claim 9] The liquid crystal display which allotted said two source drivers in all to right and left of said panel top or the bottom, and arranged said one gate driver on the left-hand side or right-hand side of said panel in claim 1.

[Claim 10] The liquid crystal display which the source line of said panel was pulled out from the bottom from said panel every one gate line, allotted said every four one right-and-left source drivers in all to said panel top and bottom in claim 1, and arranged said one gate driver on the left-hand side or right-hand side of said panel.

[Claim 11] The liquid crystal display which allotted said one source driver to said panel top or bottom, and arranged said one gate driver on the left-hand side and right-hand side of said panel in claim 1.

[Claim 12] The liquid crystal display which used a storage means control section, the clock generation section, and a control section as one integrated circuit in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, or 11.

[Claim 13] The liquid crystal display which used the storage means and said integrated circuit as one more integrated circuit in claim 12.

[Claim 14] The liquid crystal display which used the panel, the gate driver, and the selection means as one integrated circuit in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, or 13.

[Claim 15] The liquid crystal display which used the source driver and said integrated circuit as one more integrated circuit in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, or 14.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the suitable liquid crystal display for a personal computer, a word processor, a workstation, etc.

[0002]

[Description of the Prior Art] About the conventional configuration and the conventional drive approach of a liquid crystal display, it has 2 sets of memory of a publication in JP,5-232989,A, writes in which memory beforehand, and is known as a technique with the well-known method which decides from which memory to read.

[0003]

[Problem(s) to be Solved by the Invention] In order to obtain the high display of resolution from the resolution of not only a liquid crystal panel but the conventional screen new further, generally the amount of data per starting-display unit time amount increases. The amount of data of required for the one-frame period for keeping minimum quality good in the conventional resolution time amount (henceforth a frame period) increased for high-resolution-izing, and there was a problem that a frame period will become long by it.

[0004] When shifting to the panel of high resolution, the purpose of this invention is to offer the liquid crystal display good [ without a frame period becoming long ] it enables it to display, even if the amount of data per frame increases.

[0005] Moreover, it is made detailed from the thing of the former [ pitch / of a liquid crystal panel / pixel ], and as the conventional example showed, when carrying out cascade connection of the source driver, the output pitch of a source driver must be made detailed. For this reason, formation of small area of a source driver and small pitch-ization of TAB which makes liquid crystal panel connection of the output of a source driver circuit must be performed. Moreover, if TAB and a liquid crystal panel are made detailed, the alignment and the junction technique for the joint will take an advanced technique, and problems, like a production cost becomes high will be produced.

[0006] The second purpose of this invention is to perform a good display to the liquid crystal panel which made the pixel pitch detailed using the conventional liquid crystal drive circuit.

[0007]

[Means for Solving the Problem] The panel of the liquid crystal with which it has the pixel section arranged in the shape of a matrix as a means to solve the above-mentioned technical problem, and two or more gate lines and two or more source lines were pulled out, A storage means to memorize the above indicative data by said one panel, and the storage means control section which inputs an indicative data, rearranges into the pixel array corresponding to said panel, and writes the data in said storage means, A source driver with two or more gradation electrical-potential-difference lines which carry out the sequential storage of the indicative data, and output the electrical potential difference corresponding to an indicative data corresponding to the pixel array of said panel, A selection means to choose one of the voltage-output lines which inputted each gradation electrical-potential-difference line of said source driver, divided two or more each of those gradation electrical-potential-difference lines into the book, respectively, inputted two or more same selection signals as it, and were divided into those [ two or more ] with the selection signal, The gate driver which outputs a sequential selection electrical potential difference to two or more gate lines of said panel, A clock is inputted from the clock generation section which generates a clock, and said clock generation section. It constitutes from a control section which outputs the signal reads the indicative data memorized by said storage means, outputs the indicative data to said source driver, and outputs two or more selection signals to said selection means, and it is made to begin to output a sequential selection electrical potential difference to said gate driver at a gate line.

[0008]

[Function] The liquid crystal display of this invention makes the switch group switch-on, while it outputs the indicative data corresponding to each switch group to a source driver and the source driver is outputting the gradation electrical potential difference corresponding to an indicative data, as the

indicative data by which a sequential transfer is carried out will be stored temporarily in memory, each switch group will be in switch-on and a source driver can output the gradation electrical potential difference corresponding to an indicative data to a source line. The display corresponding to an indicative data can be obtained by doing in this way.

[0009]

[Example] Hereafter, the example of this invention is explained to a detail based on a drawing.

[0010] Drawing 1 is an indicating equipment in which the 1st example of this invention is shown, drawing 2 is the detailed block diagram of the panel 122, and drawing 3 is a timing chart showing actuation of drawing 1. Drawing 4 is the memory map of memory 102.

[0011] The data for the indicative data to which 101 is transmitted from a personal computer etc., Hsync, Vsync, the display data bus that consists of dot clocks, the memory 102 can remember the above indicative data to be by one screen, and 103 rearranging the signal indicative data of the display data bus 101 in drawing 1, and writing in memory 102, the memory controller which generates a control signal, and 104 are the data outputted to memory 102 from the memory controller 103, and the memory light bus constituted with the control signal.

[0012] The memory controller 103 is written in with a memory map as shows the indicative data which rearranged the indicative data and was rearranged into memory 102 based on the signal of the display data bus 101 to drawing 4 through the memory light bus 104.

[0013] The LCD controller which generates a control signal for the clock with which a clock generation circuit outputs 105 and the clock generation circuit 105 outputs 106, and 107 to read the data from a liquid crystal display control signal and memory 102 based on a clock 106, and 108 are memory lead buses which consist of data from the control signal and memory 102 of the LCD controller 107.

[0014] The LCD controller 107 generates a memory control signal based on a clock 106, lets the memory lead bus 108 pass, and reads an indicative data. After outputting the indicative data for 3 pixels for the read indicative data to the data buses DataA and DataB which can be transmitted at once respectively synchronizing with transfer clock CL2 and outputting CL1 signal to the source driver 111 and the source driver 112, the gate output start signal FLM and Horizontal Synchronizing signal CL 3 are outputted to a gate driver 120 and a gate driver 121.

[0015] It is the source driver which outputs the gradation electrical potential difference corresponding to the 160x3-pixel indicative data which 110 synchronized with the gradation electrical-potential-difference line, and 111 and 112 synchronized with the clock CL 2, memorized the indicative data 160 times one by one from DataA and DataB, and was memorized on the gradation electrical-potential-difference line 110 with CL1 signal.

[0016] The source driver 111 and the source driver 112 memorize the indicative data which the LCD controller 107 outputted to data buses DataA and DataB synchronizing with the clock CL 2. The LCD controller 107 will output CL1 signal for outputting the data which the source driver 111 and the source driver 112 memorized, if it finishes outputting the indicative data. The source driver 111 and the source driver 112 output the gradation electrical potential difference corresponding to the memorized indicative data to the gradation electrical-potential-difference line 110.

[0017] When Line0, Line1, Line2, or Line3 are high-level, the source selection line by which the LCD controller 107 outputs Line0, Line1, Line2, and Line3, and 116, 117, 118 and 119 are ST0 and ST1... It is ST1919, and SB0 and SB1... It is the switch group which makes switch-on the gradation electrical-potential-difference line 110 which SB1919, the source driver 111, and the source driver 112 output.

[0018] ST0 and ST4 corresponding to [ if the LCD controller 107 makes only Line0 high-level when the source driver 111 and the source driver 112 output a gradation electrical potential difference to the gradation electrical-potential-difference line 110, the switch group 116 will be in switch-on, and ] Line0 ..., and SB0 and SB4 — a gradation electrical potential difference is impressed to ... ST1 and ST5 corresponding to [ similarly, if the LCD controller 107 makes only Line1 high-level, the switch group 117 will be in switch-on, and ] Line1 ..., and SB1 and SB5 — a gradation electrical potential difference is

impressed to ... if similarly only Line2 is made high-level — the switch group 118 — switch-on — becoming — ST2 and ST6 ..., and SB2 and SB6 — a gradation electrical potential difference is impressed to ... if similarly only Line3 is made high-level — the switch group 119 — switch-on — becoming — ST3 and ST7 ..., and SB3 and SB7 — a gradation electrical potential difference is impressed to ...

[0019] 120 and 121 are gate drivers which input the gate output start signal FLM and Horizontal Synchronizing signal CL 3, and output a sequential selection electrical potential difference to G479 from G239 and G240 from a gate signal G0 synchronizing with Horizontal Synchronizing signal CL 3.

[0020] time the gate driver 120 \*\*\*\* gate driver 121 has the high-level gate output start signal FLM — falling of Horizontal Synchronizing signal CL 3 — gate signals G0 and G240 — falling of following Horizontal Synchronizing signal CL 3 — G1 and G241 — the last — G239 and G479 — \*\* — from G0 to G239 and G240, synchronizing with Horizontal Synchronizing signal CL3 falling, a selection electrical potential difference is outputted to G479 one by one so that it may say.

[0021] 122 is the panel of the TFT mold liquid crystal of 640 dot x480 line which consists of two screens of the upper part and the lower part.

[0022] Drawing 2 is the detail drawing of a panel 122, and the source signal with which SB0, SB1, SB2, and SB3 to ST1919 from ST0, ST1, ST2, and ST3 and SB1919 are driven by the source driver 111 and the source driver 112, and G0, G1 and G2 to G479 is a gate signal with late standup / falling time amount compared with other signals, and it is driven by the gate driver 120 and the gate driver 121. For example, if a selection electrical potential difference is impressed to gate signals G0 and G240, TFT connected to the gate signals G0 and G240 will be in switch-on. By TFT which would be in switch-on, the gradation electrical potential difference currently impressed to SB1919 from ST1919 and SB0 can be impressed to a pixel electrode from ST0.

[0023] Next, actuation after inputting data until it displays is explained. The memory controller 103 inputs the newest indicative data, and it writes the data for one screen in memory 102 from the memory light bus 104, rearranging data. The memory map of memory 102 becomes like drawing 4. The case where a gradation electrical potential difference is first applied to the pixel corresponding to G0 is explained using drawing 3. The LCD controller 107 reads the data of the first quadrant Rhine corresponding to each Line0 of the gate signals G0 and G240 which are vertical 2 grouping for displaying on the panel 122 of the data written in memory 102 from the memory lead bus 108, lets the display data buses DataA and DataB pass, and outputs each to the source driver 111 and the source driver 112 synchronizing with clock signal CL2. The source driver 111 and the source driver 112 memorize each data with 160 times of CL2 signals. At this time, the LCD controller 107 outputs CL1 signal which shows that the transfer of the indicative data of quadrant Rhine corresponding to Line0 was completed. The source driver 111 and the source driver 112 output the gradation electrical potential difference corresponding to the memorized data to the gradation electrical-potential-difference line 110 with CL1 signal. At this time, the LCD controller 107 makes Line0 high-level, makes the switch group 116 switch-on, and impresses a gradation electrical potential difference to SB1916 from ST1916 from ST0 and ST4, and SB0 and SB4. Quadrant Rhine corresponding to the following Line1 is the same as that of Line0, and the LCD controller 107 reads the data of quadrant Rhine corresponding to each Line1 of G0 and G240 from the memory lead bus 108. After outputting the data to the source driver 111 and the source driver 112 and outputting CL1 signal, Line1 is made high-level, the switch group 117 is made into switch-on, and a gradation electrical potential difference is impressed to SB1917 from ST1917 from ST1 and ST5, and SB1 and SB5. Similarly, the LCD controller 107 makes Line2 high-level, makes the switch group 118 switch-on, and impresses a gradation electrical potential difference to SB1918 from ST1918 from ST2 and ST6, and SB2 and SB6. Similarly, the LCD controller 107 makes Line3 high-level, makes a switch 119 switch-on, and impresses a gradation electrical potential difference to SB1919 from ST1919 from ST3 and ST7, and SB3 and SB7. Thus, the gradation electrical potential difference corresponding to the indicative data for one line can be outputted. Moreover, it is shown that a gate driver 120 and a

gate driver 121 will make high-level gate signals G0 and G240, and the display of the first Rhine can do them if the low level of CL3 and the high level of FLM are inputted before Line0 is made high-level. When Line3 is set to a low level from high level, it has reached high-level enough, the gradation electrical potential difference built over SB1919 from ST1919 and SB0 is given to a pixel electrode through TFT from ST0, and the display of two lines of G0 and G240 completes gate signals G0 and G240.

[0024] The display of next Rhine like the first display of two lines of G0 and G240 The data with which the LCD controller 107 was written in memory 102, The data of the first quadrant Rhine corresponding to each Line0 of the gate signals G1 and G241 which are vertical 2 grouping for displaying on a panel 122 are read from the memory lead bus 108. It lets the display data buses DataA and DataB pass, and each is outputted to the source driver 111 and the source driver 112 synchronizing with clock signal CL2. A gradation electrical potential difference is impressed to SB1919 from ST1919 and SB0 from ST0 like the following. CL3 is outputted to a low level and makes G1 and G241 high-level. When making Line3 into a low level from high level, gate signals G1 and G241 are attained high-level enough, the gradation electrical potential difference currently impressed to SB1919 from ST1919 and SB0 from ST0 is given to a pixel electrode through TFT, and the display of two lines of G1 and G241 completes it.

[0025] The display of Rhine of G2 to G239 and G242 to G479 is completed like the following.

[0026] About alternating current-ization of a pixel electrical potential difference required in the case of LCD, when making it alternate for every Rhine first, the data value which the LCD controller 107 outputs to DataA and DataB is outputted so that the gradation electrical potential difference which the source driver 111 and the source driver 112 output to the one-line jump in the same 1 screen may turn into a forward electrical potential difference and a negative electrical potential difference. If Rhine of G0 is for example, a forward electrical potential difference and G1 is a negative electrical potential difference, in the display of the next screen, G0 will be made into a negative electrical potential difference, and G1 will be made into a forward electrical potential difference. Or the common electrode of a panel 122 is prepared in an one-line jump 2 sets, and the electrical potential difference of a common electrode is changed to forward/negative one for every screen as the so-called Kushigata electrode.

[0027] Moreover, when alternating for every screen, the data value which the LCD controller 107 outputs to DataA and DataB is outputted so that the gradation electrical potential difference which the source driver 111 and the source driver 112 output may turn into a forward electrical potential difference and a negative electrical potential difference for every screen. Or the common electrode of a panel 122 is changed to forward/negative one for every screen.

[0028] About the output of a gate driver 120, it is G0, and G240, G1 and G241... It is easy to be natural, even if it constitutes from one driver and controls 480 Rhine by outputting to G239 and G479 respectively.

[0029] According to this example, it can display from the gate line G0, without the build up time and falling time amount of G479 lowering frame frequency also for a late panel compared with other signals.

[0030] What was considered as the configuration which has a source driver two upper and lower sides at a time of a panel as the 2nd example is explained using drawing 5 , drawing 6 , and drawing 7 . Drawing 5 is a display in which the 2nd example is shown, and it is the timing chart to which drawing 6 expresses the memory map of memory 150, and drawing 7 expresses actuation of drawing 5 .

[0031] In drawing 5 , the memory the indicative data is remembered to be with the memory map which 150 can memorize the above indicative data by one screen, and is shown in drawing 6 , the memory lead bus by which 151 consists of indicative datas from the control signal and memory 150 from the LCD controller 152, and 152 are LCD controllers which generate the control signal for reading the data from a liquid crystal display control signal and memory 150 based on a clock 106. The LCD controller 152 generates a memory control signal based on a clock 106, outputs the indicative data which read and read data from memory 150 to DataA, DataB, DataC, and DataD by memory lead bus 151 synchronizing with CL2, outputs 3 from Line0, and outputs the gate output start signal FLM and Horizontal

Synchronizing signal CL 3 to a gate driver 120 and a gate driver 121. 153, 154, 155, and 156 are the source drivers of 240 outputs which output a gradation electrical potential difference for the indicative data memorized with CL2 to the gradation electrical-potential-difference line 110 by CL1.

[0032] Although actuation after inputting data until it displays is almost the same as the 1st example, in this example, the source driver which was one upper and lower sides at a time in the 1st example is respectively made right and left for 2 minutes, and it makes it two source drivers. First, the LCD controller 152 reads the data of the first quadrant Rhine corresponding to each Line0 of the gate signals G0 and G240 which are vertical 2 grouping for displaying on a panel 122 from the memory lead bus 151, and outputs the data through Buses DataA, DataB, and DataC and DataD synchronizing with CL2 signal. The source drivers 153, 154, 155, and 156 memorize each data with 80 times of CL2 signals. The LCD controller 152 outputs CL1 signal and makes Line0 high-level. Similarly, it operates about Line1, Line2, and Line3. If the LCD controller 152 outputs FLM and CL3, a gate driver 120 and a gate driver 121 will make G0 and G240 high-level.

[0033] In this example, with outputting an indicative data to each source driver at coincidence, the source driver which was one upper and lower sides at a time is divided into right and left in the 1st example, and it considers as two source drivers each, and since a source driver begins to memorize an indicative data, time amount until it impresses a gradation electrical potential difference to a source line can be shortened, and frame frequency can be made high.

[0034] as the 3rd example, a panel is divided into right and left, it has only two source drivers on a panel, and \*\* considered as the configuration which arranges a gate driver to right and left of a panel is explained using drawing 11 from drawing 8. Drawing 8 is an indicating equipment in which the 3rd example is shown, and the timing chart and drawing 11 to which drawing 9 expresses the detailed block diagram of a panel 205, and drawing 10 expresses actuation of drawing 8 are the memory map of memory 200.

[0035] In drawing 8, the memory the indicative data is remembered to be with the memory map which 200 can memorize the above indicative data by one screen, and is shown in drawing 11, the memory lead bus by which 201 consists of indicative datas from the control signal and memory 200 from the LCD controller 202, and 202 are LCD controllers which generate the control signal for reading the data from a liquid crystal display control signal and memory 200 based on a clock 106. The LCD controller 202 generates a memory control signal based on a clock 106, outputs the indicative data which read and read data to DataA and DataB from memory 200 by memory lead bus 201 synchronizing with CL2, outputs Line0, Line1, Line2, and Line3, and outputs the gate output start signal FLM and Horizontal Synchronizing signal CL 3 to a gate driver 203 and a gate driver 204. 203 and 204 input the gate output start signal FLM and Horizontal Synchronizing signal CL 3, and are a gate driver which makes G479' high-level from G479 and G0' from a gate signal G0. 205 is the panel of the TFT mold liquid crystal of 640 dot x480 line which consists of two screens of a left part and the right part.

[0036] Although actuation after inputting data until it displays is almost the same as the 2nd example, it is considered as the configuration which has the source driver which were two upper and lower sides of a panel 122 at a time only on [ two ] a panel 205 in the 2nd example at this example. First, the LCD controller 202 reads the data of the first quadrant Rhine corresponding to each Line0 of the gate signal G0 which is vertical 2 grouping for displaying on a panel 205, and G0' from the memory lead bus 201, and outputs the data through Buses DataA and DataB synchronizing with CL2 signal. The source driver 153 and the source driver 154 memorize each data with 80 times of CL2 signals. The LCD controller 202 outputs CL1 signal and makes Line0 high-level. Similarly, it operates about Line1, Line2, and Line3. If FLM and CL3 are outputted when the LCD controller 202 makes Line0 high-level first, a gate driver 203, a gate driver 204G0, and G0' will be made high-level. When Line3 is set to a low level from high level, the gradation electrical potential difference which has attained a gate signal G0 and G0' high-level enough, is impressed to S1919 from S0, and is given to a pixel electrode through TFT, and the display of one line of G0 and G0' completes it.



[0037] In this example, time amount when the LCD controller 202 makes Line0 high-level, after making it have outputted CL3 signal and making Line3 into a low level from high level until it makes Line0 high-level can be shortened, and frame frequency can be made high.

[0038] as the 4th example, a panel is divided into right and left, it has a source driver two upper and lower sides at a time of a panel, and \*\* considered as the configuration which arranges a gate driver to right and left of a panel is explained using drawing 15 from drawing 12. Drawing 12 is a display in which the 4th example is shown, and the timing chart and drawing 15 to which drawing 13 expresses the detailed explanatory view of a panel 253, and drawing 14 expresses actuation of drawing 12 are the memory map of memory 250.

[0039] In drawing 12, the memory the indicative data is remembered to be with the memory map which 250 can memorize the above indicative data by one screen, and is shown in drawing 15, the memory lead bus by which 251 consists of indicative datas from the control signal and memory 250 from the LCD controller 252, and 252 are LCD controllers which generate the control signal for reading the data from a liquid crystal display control signal and memory 250 based on a clock 106.

[0040] The LCD controller 252 generates a memory control signal based on a clock 106, outputs the indicative data which read and read data from memory 250 to DataA, DataB, DataC, and DataD by memory lead bus 251 synchronizing with CL2, outputs Line0, Line1, Line2, and Line3, and outputs the gate output start signal FLM and Horizontal Synchronizing signal CL 3 to a gate driver 203 and a gate driver 204. 203 and 204 input the gate output start signal FLM and Horizontal Synchronizing signal CL 3, and are a gate driver which makes G479' high-level from G479 and G0' from a gate signal G0. 253 is the panel of the TFT mold liquid crystal of 640 dot x480 line which consists of two screens of a left part and the right part.

[0041] Although actuation after inputting data until it displays is almost the same as the 3rd example, it is considered as the configuration which has the source driver of two upper and lower sides each in a panel 255 by this example. the gate signal G0 which is vertical 2 grouping for displaying the LCD controller 252 on a panel 255 from the memory lead bus 251, G0', and G1 and G1' — every — the data corresponding to Line0 are read and the data is outputted through Buses DataA, DataB, and DataC and DataD synchronizing with CL2 signal. [ first, ] The source driver 153, the source driver 154, the source driver 155, and the source driver 156 memorize each data with 80 times of CL2 signals. The LCD controller 252 outputs CL1 signal and makes Line0 high-level. Similarly, it operates about Line1, Line2, and Line3. And if the LCD controller 252 outputs FLM and CL3, 204 will make high-level a gate driver 203 and a gate driver G0, G0', G1, and G1'. When Line3 is set to a low level from high level, a gate signal G0 and G0' are attained high-level enough, the gradation electrical potential difference currently impressed to S1919 from S0 is given to a pixel electrode through TFT, and the display of two lines of G0, G0', G1, and G1' completes it.

[0042] In this example, since the display of two lines of G0, G0', G1, and G1' is completed to coincidence, for example, two lines can be displayed on throughout at the time of the display of one line, and frame frequency can be made high.

[0043] as the 5th example, a panel is quadrisected vertically and horizontally, it has a source driver two upper and lower sides at a time of a panel, and \*\* considered as the configuration which arranges a gate driver to right and left of a panel is explained using drawing 18 from drawing 16. Drawing 16 is a display in which the 5th example is shown, and it is the timing chart to which drawing 17 expresses the detailed explanatory view of a panel 300, and drawing 18 expresses actuation of drawing 16.

[0044] The panel of the TFT mold liquid crystal of 640 dot x480 line with which 300 consists of four screens of the upper left section, an upper right portion, a left lower quadrant, and the lower right section in drawing 16, 301 and 302 are the gate drivers which drive two gate signals with the output of one. A gate driver 301 the gate line of the upper left section of a panel 300, and a left lower quadrant that is, — G — zero — G — 240 — G — one — G — 241 — as — one — a \*\* — every — coincidence — a drive — carrying out — a gate driver — 302 — a panel — 300 — an upper right

portion — the lower right — the section — the gate — a line — that is, — G — zero — ' — G — 240 — ' — G — one — ' — G — 241 — ' — as — one carries out a coincidence drive at a time.

[0045] Although the gate line for displaying one line in the 2nd example although actuation after inputting data until it displays is almost the same as the 2nd example was only one of G0, it is divided into right and left, and he divides it into G0 and G0' newly, and is trying to drive it with a gate driver 301 and a gate driver 302 by this example, respectively.

[0046] According to this example, it can display from the gate line G0, without the build up time and falling time amount of G479' lowering frame frequency also for a late panel compared with other signals from G479 and G0'.

[0047] As the 6th example, it has a source driver on [ two ] a panel, and what was considered as the configuration which arranges a gate driver to right and left of a panel is explained using drawing 21 from drawing 19. Drawing 19 is a display in which the 4th example is shown, and it is the timing chart to which drawing 20 expresses the detailed explanatory view of a panel 351, and drawing 21 expresses actuation of drawing 19.

[0048] In drawing 19, the LCD controller which generates a control signal for 350 to read the data from a liquid crystal display control signal and memory 200 based on a clock 106, and 351 are the panels of the TFT mold liquid crystal of 640 dot x480 line. A memory map in case the memory controller 103 writes in memory 200 is drawing 11, and the same as the 3rd example.

[0049] The LCD controller 350 generates a memory control signal based on a clock 106, outputs the indicative data which read and read data to DataA and DataB from memory 200 by memory lead bus 201 synchronizing with CL2, outputs Line0, Line1, Line2, and Line3, and outputs the gate output start signal FLM and Horizontal Synchronizing signal CL 3 to a gate driver 203 and a gate driver 204.

[0050] It is G0 and G1 although actuation after inputting data until it displays is almost the same as the 3rd example, after a gate driver 203 makes Line1 Line0 from high level subsequently to a low level in this example... G479 is driven respectively. Similarly, a gate driver 204 is G0' after making Line3 Line2 from high level subsequently to a low level, and G1'... G479' is driven respectively. That is, the data corresponding to Line0 and Line1 are driven by 203 from a gate driver G0 G479, and it is made to drive the data corresponding to Line2 and Line3 by G0' to G479' with a gate driver 204.

[0051] In this example, time amount when the LCD controller 350 makes Line0 high-level, after making it have outputted CL3 signal and making Line3 into a low level from high level until it makes Line0 high-level can be shortened, and frame frequency can be made high.

[0052] as the 7th example, it has a source driver two upper and lower sides at a time of a panel, and \*\* considered as the configuration which arranges a gate driver to right and left of a panel is explained using drawing 25 from drawing 22. Drawing 22 is a display in which the 7th example is shown, and the timing chart and drawing 25 to which the detailed explanatory view 24 of a panel 403 expresses actuation of drawing 22 in drawing 23 are the memory map of memory 400.

[0053] In drawing 22, the memory the indicative data is remembered to be with the memory map which 400 can memorize the above indicative data by one screen, and is shown in drawing 25, the memory lead bus by which 401 consists of indicative datas from the control signal and memory 400 from the LCD controller 402, and 402 are LCD controllers which generate the control signal for reading the data from a liquid crystal display control signal and memory 400 based on a clock 106. 403 is the panel of the TFT mold liquid crystal of 640 dot x480 line, and shows the detail to drawing 22.

[0054] 301 — and — 302 — one — a \*\* — an output — two — a \*\* — a gate signal — driving — a gate driver — it is — a gate driver — 301 — a panel — 300 — the upper left — the section — a left lower quadrant — the gate — a line — that is, — G — zero — G — 240 — G — one — G — 241 — as — one — a \*\* — every — coincidence — a drive — carrying out — a gate driver — 302 — a panel — 300 — an upper right portion — the lower right — the section — the gate — a line — that is, — G — zero — ' — G — 240 — ' — G — one — ' — G — 241 — ' — as — one carries out a coincidence drive at a time.

[0055] Although actuation after inputting data until it displays is almost the same as the 6th example, it is made to have impressed the gradation electrical potential difference corresponding to an indicative data to the source driver 153 to odd-numbered pixel from the source driver 155 in this example at the even-numbered pixel of a panel 403, respectively. Furthermore, a gate driver 203 is G0 and G1 after making Line1 Line0 from high level subsequently to a low level... G479 is driven respectively. Similarly, a gate driver 204 is G0' after making Line3 Line2 from high level subsequently to a low level, and G1'... G479' is driven respectively. That is, the data corresponding to Line0 and Line1 are driven by 203 from a gate driver G0 G479, and it is made to drive the data corresponding to Line2 and Line3 by G0' to G479' with a gate driver 204.

[0056] In this example, time amount when the LCD controller 402 makes Line0 high-level, after making it have outputted CL3 signal and making Line3 into a low level from high level until it makes Line0 high-level can be shortened, and frame frequency can be made high.

[0057] as the 8th example, it has only one source driver on a panel, and \*\* considered as the configuration which arranges a gate driver to right and left of a panel is explained using drawing 29 from drawing 26. Drawing 26 is a display in which the 8th example is shown, and the timing chart and drawing 29 to which drawing 27 expresses the detailed explanatory view of a panel 457, and 28 expresses actuation of drawing 22 are the memory map of memory 450.

[0058] The memory the indicative data is remembered to be with the memory map which 450 can memorize the above indicative data by one screen, and is shown in drawing 29 in drawing 26. The memory lead bus by which 451 consists of indicative datas from the control signal and memory 450 from the LCD controller 452, The LCD controller which generates a control signal for 452 to read the data from a liquid crystal display control signal and memory 450 based on a clock 106, The source selection line by which the LCD controller 452 outputs Line4, Line5, Line6, and Line7, 453, 454, 455, and 456 are S4, and S5, S6, S7, S12 and S13, when Line4, Line5, Line6, and Line7 are high-level... The switch which makes switch-on S1919 and the gradation electrical-potential-difference line 110 which the source driver 153 outputs, 457 is the panel of the TFT mold liquid crystal of 640 dot x480 line.

[0059] Although actuation after inputting data until it displays is almost the same as the 6th example, it divides with a gate driver 203 and a gate driver 204 at intervals of 4 pixels, that is, the pixel corresponding to Line0, Line1, Line2, and Line3 is a gate driver 203, and it is made to have driven the pixel corresponding to Line4, Line5, Line6, and Line7 with the gate driver 204 in this example.

[0060] The LCD controller 452 generates a memory control signal first based on a clock 106. Read data from memory 450 by memory lead bus 451, and the gate output start signal FLM and Horizontal Synchronizing signal CL 3 are beforehand outputted to the gate driver 203 and the gate driver 204. The read indicative data is outputted to Bus Data synchronizing with CL2, the sequential output of Line0, Line1, Line2, and Line3 is carried out, and a gradation electrical potential difference is impressed to a pixel electrode on the selection electrical potential difference of G0, respectively. And although following CL3 is outputted immediately, the LCD controller 452 makes Line4 coincidence high-level, and a switch 453 is carried out to it at switch-on, and it is S4 and S12... A gradation electrical potential difference is impressed to S1916. The same is still more nearly said of the actuation corresponding to Line5, Line6, and Line7, after making Line7 high-level, it is made a low level, and G0' is made into a low level from high level. The display for one line is completed here. The display of Rhine of G479' is completed from G1 to G479, and G1' like the following.

[0061] When the LCD controller 452 makes Line0 high-level, it is made to have outputted CL3 signal in this example. When making Line4 high-level furthermore, it is made to have outputted the CL3' signal. Time amount after making Line3 into a low level from high level until it makes Line4 high-level can be shortened, time amount after making Line7 into a low level from high level further until it makes Line0 high-level can be shortened, and frame frequency can be made high.

[0062] as the 9th example, it has a source driver on [ two ] a panel, and \*\* considered as the configuration which arranges a gate driver on the left of a panel is explained using drawing 32 from

drawing 30 . Drawing 30 is a display in which the 9th example is shown, and it is the timing chart to which drawing 31 expresses the detailed explanatory view of a panel 500, and 32 expresses actuation of drawing 30 .

[0063] In drawing 30 , 500 is the panel of the TFT mold liquid crystal of 640 dot x480 line.

[0064] although actuation after inputting data until it displays is almost the same as the 3rd example — this example — 'G479 from G0' of the 3rd example — ' — having connected with G479 as it is from G0 driven with a gate driver 203, respectively, all are driven with a gate driver 203.

[0065] In this example, time amount when the LCD controller 202 makes Line0 high-level, after making it have outputted CL3 signal and making Line3 into a low level from high level until it makes Line0 high-level can be shortened, and frame frequency can be made high.

[0066] as the 10th example, a panel has two source drivers at a time up and down, and \*\* considered as the configuration which arranges a gate driver on the left of a panel is explained using drawing 36 from drawing 33 . Drawing 33 is a display in which the 10th example is shown, and it is the timing chart to which drawing 34 expresses the detailed explanatory view of a panel 553, and 35 expresses actuation of drawing 33 .

[0067] In drawing 33 , the LCD controller which generates a control signal for the memory the indicative data is remembered to be with the memory map which 550 can memorize the above indicative data by one screen, and is shown in drawing 36 ; the memory lead bus by which 551 consists of indicative datas from the control signal and memory 550 from the LCD controller 552, and 552 to read the data from a liquid crystal display control signal and memory 550 based on a clock 106, and 553 are the panels of the TFT mold liquid crystal of 640 dot x480 line.

[0068] Although actuation after inputting data until it displays is almost the same as the 4th example, in this example, it has connected with G479 as it is from G0 which drives G0' to G479' of the 4th example with a gate driver 203, respectively, and it drives all gate lines with a gate driver 203.

[0069] In this example, since the display of two lines of G0 and G1 is completed to coincidence, for example, two lines can be displayed on throughout at the time of the display of one line, and frame frequency can be made high.

[0070] as the 11th example, it has only one source driver on a panel, and \*\* considered as the configuration which arranges a gate driver on the left of a panel is explained using drawing 37 and drawing 38 . Drawing 37 is an indicating equipment in which the 11th example is shown, and drawing 38 is a timing chart showing actuation of drawing 37 .

[0071] In drawing 37 , 600 is a LCD controller which generates the control signal for reading the data from a liquid crystal display control signal and memory 450 based on a clock 106.

[0072] Drawing 37 is an indicating equipment in which the 11th example is shown, and drawing 38 is a timing chart showing actuation of drawing 37 .

[0073] Although actuation after inputting data until it displays is almost the same as the 8th example, in this example, it has connected with G479 as it is from G0 which drives G0' to G479' of the 8th example with a gate driver 203, respectively, and it drives all gate lines with a gate driver 203. G0 is made high-level, after getting it blocked, for example, making from Line0 to Line7 into high level one by one and making it a low level.

[0074] In this example, since the display of two lines of G0 and G1 is completed to coincidence, for example, two lines can be displayed on throughout at the time of the display of one line, and frame frequency can be made high.

[0075] Although constituted from memory 102 which can memorize the above indicative data by one screen, the source driver of latch internal organs can also constitute memory 102 from the above example including the Rhine memory, the Rhine latch, and also a source driver.

[0076]

[Effect of the Invention] good in the conventional resolution according to this invention — it is — it is —  
— a frame period does not become long even if the amount of data of required for the one-frame period

for maintaining minimum quality time amount (henceforth a frame period) increases for high-resolution-izing

[0077] Moreover, even when the output pitch of a source driver must be made detailed, it is not necessary to perform formation of small area of a source driver, and small pitch-ization of TAB which makes liquid crystal panel connection of the output of a source driver circuit. Furthermore, since it is not necessary to make TAB detailed, a production cost can be held down low.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

##### [Brief Description of the Drawings]

[Drawing 1] The block diagram of the indicating equipment of the 1st example.

[Drawing 2] The explanatory view of the panel of the display of the 1st example.

[Drawing 3] The timing chart of the indicating equipment of the 1st example.

[Drawing 4] The memory map of the display of the 1st example.

[Drawing 5] The block diagram of the indicating equipment of the 2nd example.

[Drawing 6] The memory map of the display of the 2nd example.

[Drawing 7] The timing chart of the indicating equipment of the 2nd example.

[Drawing 8] The block diagram of the indicating equipment of the 3rd example.

[Drawing 9] The explanatory view of the panel of the display of the 3rd example.

[Drawing 10] The timing chart of the indicating equipment of the 3rd example.

[Drawing 11] The memory map of the display of the 3rd example.

[Drawing 12] The block diagram of the indicating equipment of the 4th example.

[Drawing 13] The explanatory view of the panel of the display of the 4th example.

[Drawing 14] The timing chart of the indicating equipment of the 4th example.

[Drawing 15] The memory map of the display of the 4th example.

[Drawing 16] The block diagram of the indicating equipment of the 5th example.

[Drawing 17] The explanatory view of the panel of the display of the 5th example.

[Drawing 18] The timing chart of the indicating equipment of the 5th example.

[Drawing 19] The block diagram of the indicating equipment of the 6th example.

[Drawing 20] The explanatory view of the panel of the display of the 6th example.

[Drawing 21] The timing chart of the indicating equipment of the 6th example.

[Drawing 22] The block diagram of the indicating equipment of the 7th example.

[Drawing 23] The explanatory view of the panel of the display of the 7th example.

[Drawing 24] The timing chart of the indicating equipment of the 7th example.

[Drawing 25] The memory map of the display of the 7th example.

[Drawing 26] The block diagram of the indicating equipment of the 8th example.

[Drawing 27] The explanatory view of the panel of the display of the 8th example.

[Drawing 28] The timing chart of the indicating equipment of the 8th example.

[Drawing 29] The memory map of the display of the 8th example.

[Drawing 30] The block diagram of the indicating equipment of the 9th example.

[Drawing 31] The explanatory view of the panel of the display of the 9th example.

[Drawing 32] The timing chart of the indicating equipment of the 9th example.

[Drawing 33] The block diagram of the indicating equipment of the 10th example.

[Drawing 34] The explanatory view of the panel of the display of the 10th example.

[Drawing 35] The timing chart of the indicating equipment of the 10th example.

[Drawing 36] The memory map of the display of the 10th example.

[Drawing 37] The block diagram of the indicating equipment of the 10th example.

[Drawing 38] The timing chart of the indicating equipment of the 10th example.

[Description of Notations]

101 — Display data bus,

102, 150, — memory,

103 — Memory controller,

104 — Memory light bus,

105 — Clock generation circuit,

106 — Clock,

107 — LCD controller,

108 — Memory lead bus,

110 — Gradation electrical-potential-difference line,

111 112 — Source driver,

116, 117, 118, 119 — Switch group,

120 121 — Gate driver.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-334743

(43) 公開日 平成8年(1996)12月17日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
	5 2 0			5 2 0
G 0 9 G 3/36			G 0 9 G 3/36	
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 B

審査請求 未請求 請求項の数15 OL (全 26 頁)

(21) 出願番号 特願平7-140287

(22) 出願日 平成7年(1995)6月7日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 古橋 勉

神奈川県川崎市麻生区王禅時1099番地株式

会社日立製作所システム開発研究所内

(72) 発明者 池上 泰生

神奈川県横浜市戸塚区吉田町292番地株式

会社日立画像情報システム内

(74) 代理人 弁理士 小川 勝男

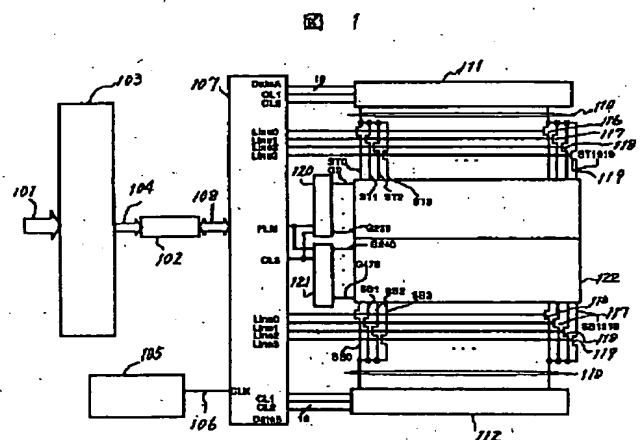
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【構成】メモリコントローラ103は表示データを並び替えてメモリ102に書き込み、LCDコントローラ107は読み込んだ表示データをソースドライバ111、112に出力し、ゲートドライバ120及び121にFLM及びCL3を出力する。ソースドライバ111及び112が階調電圧線110に出力する階調電圧は、LCDコントローラ107がスイッチ群116、117、118、119を順次導通状態にして、Line 0、1、2、3に対応したソース線ST0...及びSB0...に印加される。

【効果】データ量が増えても、フレーム周期が長くなってしまわない。又、ソースドライバの出力ピッチを微細化しなくてはならない場合でも、ソースドライバの小面積化、ソースドライバのTABの小ピッチ化を行わなくてもよく、TABの微細化を伴わない。



(2)

## 【特許請求の範囲】

【請求項1】マトリックス状に配列した画素部を有し、複数本のゲート線と複数本のソース線とが引き出された液晶のパネルと、前記パネル1枚分以上の表示データを記憶する記憶手段と、前記表示データを入力して前記パネルに対応した画素配列に並べ替え、前記記憶手段にそのデータを書き込む記憶手段制御部と、前記表示データを順次記憶し、前記パネルの画素配列に対応して、表示データに対応した電圧を出力する複数の階調電圧線を持つソースドライバと、前記ソースドライバの各階調電圧線を入力し、前記各階調電圧線をそれぞれ複数本に分け、それと同じ複数本の選択信号を入力し、その選択信号によって複数本のに分けた電圧出力線のうちの1本を選択する選択手段と、前記パネルの複数本のゲート線に順次選択電圧を出力するゲートドライバと、クロックを生成するクロック生成部と、前記クロック生成部からクロックを入力し、前記記憶手段に記憶されている表示データを読み込み、前記ソースドライバにその表示データを出し、前記選択手段に複数本の選択信号を出し、前記ゲートドライバにゲート線に順次選択電圧を出力し始めるようにする信号を出力する制御部からなる液晶表示装置において、前記パネルが上部と下部とに分割され、分割された前記パネルの上部と下部とに1個ずつ合わせて2個の前記ソースドライバを配し、分割された前記パネルの左部に又は右部に1個ずつ上部用及び下部用の合わせて2個の前記ゲートドライバを配したことを特徴とする液晶表示装置。

【請求項2】請求項1において、前記パネルが上部と下部とに分割され、分割された前記パネルの上部と下部との、各左右に1個ずつ合わせて4個の前記ソースドライバを配し、分割された前記パネルの左又は右に1個ずつ上部用及び下部用の合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項3】請求項1において、前記パネルが左右に分割され、分割された前記パネルの左右に1個ずつ合わせて2個の前記ソースドライバを配し、分割された前記パネルの左右に1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項4】請求項1記載の液晶表示装置において、前記パネルが左部と右部とに分割され、その分割された前記パネルの左部及び右部両方のソース線が、ゲート線1本おきに前記パネルの上から及び下から引き出され、分割された前記パネルの左部と右部との、各上下に1個ずつ合わせて4個の前記ソースドライバを配し、分割された前記パネルの左部と右部とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項5】請求項1において、前記パネルが左上部と左下部と右上部と右下部とに分割され、分割された前記パネルの左上部の上、左下部の下、右上部の上、右上部の下に、1個ずつ合わせて4個の前記ソースドライバを

2

配し、分割された前記パネルの左上部と左下部とに、右上部と右上部とに、それぞれ1個ずつ合わせて2個の前記ゲートドライバを配し、左上部と左下部とを、右上部と右上部とをそれぞれ同時に駆動するようにした液晶表示装置。

【請求項6】請求項1において、前記パネルのゲート線が、ソース線2本おきに前記パネルの右から及び左から引き出され、前記パネルの上側又は下側の左右合わせて2個の前記ソースドライバを配し、前記パネルの左側と右側とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項7】請求項1において、前記パネルのゲート線が、ソース線4本おきに前記パネルの右から及び左から引き出され、前記パネルのソース線が、ソース線1本おきに前記パネルの上及び下から引き出され、前記パネルの上側および下側に各1個合わせて2個の前記ソースドライバを配し、前記パネルの左側と右側とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項8】請求項1において、前記パネルのゲート線が、ソース線4本おきに前記パネルの右から及び左から引き出され、前記パネルの上側又は下側に1個の前記ソースドライバを配し、前記パネルの左側と右側とに1個ずつ合わせて2個の前記ゲートドライバを配した液晶表示装置。

【請求項9】請求項1において、前記パネルの上側又は下側の左右に合わせて2個の前記ソースドライバを配し、前記パネルの左側又は右側に1個の前記ゲートドライバを配した液晶表示装置。

【請求項10】請求項1において、前記パネルのソース線が、ゲート線1本おきに前記パネルの上から及び下から引き出され、前記パネルの上側及び下側に左右1個ずつ合わせて4個の前記ソースドライバを配し、前記パネルの左側又は右側に1個の前記ゲートドライバを配した液晶表示装置。

【請求項11】請求項1において、前記パネルの上側又は下側に1個の前記ソースドライバを配し、前記パネルの左側と右側とに1個の前記ゲートドライバを配した液晶表示装置。

【請求項12】請求項1、2、3、4、5、6、7、8、9、10または11において、記憶手段制御部とクロック生成部と制御部とを一つの集積回路にした液晶表示装置。

【請求項13】請求項12において、記憶手段と前記集積回路とをさらに一つの集積回路にした液晶表示装置。

【請求項14】請求項1、2、3、4、5、6、7、8、9、10、11、12または13において、パネルとゲートドライバと選択手段とを一つの集積回路にした液晶表示装置。

【請求項15】請求項1、2、3、4、5、6、7、



(3)

3

8、9、10、11、12、13または14において、ソースドライバと前記集積回路とをさらに一つの集積回路にした液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はパソコン、ワープロ、ワークステーションなどに好適な液晶表示装置に関する。

【0002】

【従来の技術】従来の液晶表示装置の構成及び駆動方法に関して、特開平5-232989号公報に記載の、2組のメモリを持ち、予めどちらのメモリに書き込み、どちらのメモリから読み出すかを定める方式が公知な技術として知られている。

【0003】

【発明が解決しようとする課題】液晶パネルに限らず、従来の画面の解像度から、新たに更に解像度の高い表示を得るには、一般に、表示にかかるの単位時間当たりのデータ量は多くなる。従来の解像度で、良好な、あるいは最低限の品質を保つための1フレーム期間に必要な時間（以下、フレーム周期という）が、高解像度化のためにデータ量が増え、それによってフレーム周期が長くなってしまふという問題があった。

【0004】本発明の目的は、高解像度のパネルに移行するときに、1フレーム当たりのデータ量が増加しても、フレーム周期が長くならず良好な表示できるようにする液晶表示装置を提供することにある。

【0005】又、液晶パネルの画素ピッチが従来のものより微細化され、従来例で示したようにソースドライバをカスケード接続する場合、ソースドライバの出力ピッチを微細化しなくてはならない。このため、ソースドライバの小面積化、ソースドライバ回路の出力を液晶パネル接続するTABの小ピッチ化を行わなくてはならない。また、TABと液晶パネルを微細化すると、その接合部分の位置合わせや接合技術に高度な技術を要することになり、生産コストが高くなるなどの問題を生じる。

【0006】本発明の第二の目的は、従来の液晶駆動回路を用いて、画素ピッチを微細化した液晶パネルに良好な表示を行うことにある。

【0007】

【課題を解決するための手段】上記課題を解決する手段として、マトリクス状に配列した画素部を有し、複数本のゲート線と複数本のソース線とが引き出された液晶のパネルと、前記パネル1枚分以上の表示データを記憶する記憶手段と、表示データを入力して前記パネルに対応した画素配列に並べ替え、前記記憶手段にそのデータを書き込む記憶手段制御部と、表示データを順次記憶し、前記パネルの画素配列に対応して、表示データに対応した電圧を出力する複数の階調電圧線を持つソースドライバと、前記ソースドライバの各階調電圧線を入力し、その各階調電圧線をそれぞれ複数本に分け、それと

4

同じ複数本の選択信号を入力し、その選択信号によって複数本のに分けた電圧出力線のうちの1本を選択する選択手段と、前記パネルの複数本のゲート線に順次選択電圧を出力するゲートドライバと、クロックを生成するクロック生成部と、前記クロック生成部からクロックを入力し、前記記憶手段に記憶されている表示データを読み込み、前記ソースドライバにその表示データを出力し、前記選択手段に複数本の選択信号を出力し、前記ゲートドライバにゲート線に順次選択電圧を出力し始めるようにする信号を出力する制御部で構成する。

【0008】

【作用】本発明の液晶表示装置は、順次転送されてくる表示データをメモリに一時記憶し、各スイッチ群が導通状態になり、ソースドライバが表示データに対応した階調電圧をソース線に出力できるように、各スイッチ群に対応する表示データをソースドライバに出力し、かつ、ソースドライバが表示データに対応した階調電圧を出力している間にそのスイッチ群を導通状態にする。このようにすることで、表示データに対応した表示を得ることができる。

【0009】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0010】図1は本発明の第1の実施例を示す表示装置であり、図2はそのパネル122の詳細なブロック図であり、図3は図1の動作を表すタイミングチャートである。図4はメモリ102のメモリマップである。

【0011】図1において、101はパソコン等から転送される表示データ、Hsync、Vsync、ドットクロックで構成される表示データバス、102は1画面分以上の表示データを記憶できるメモリ、103は表示データバス101の信号表示データを並び替え、メモリ102に書き込むためのデータ、制御信号を生成するメモリコントローラ、104はメモリコントローラ103からメモリ102に出力するデータ、制御信号で構成されたメモリライトバスである。

【0012】メモリコントローラ103は、表示データバス101の信号を元に、表示データを並び替え、メモリ102に並び替えた表示データをメモリライトバス104を通して図4に示すようなメモリマップで書き込む。

【0013】105はクロック生成回路、106はクロック生成回路105が出力するクロック、107はクロック106を元に液晶表示制御信号とメモリ102からのデータを読み込むための制御信号を生成するLCDコントローラ、108はLCDコントローラ107の制御信号とメモリ102からのデータで構成されるメモリリードバスである。

【0014】LCDコントローラ107は、クロック106を元にメモリ制御信号を生成し、メモリリードバス

(4)

5

108を通して、表示データを読み込む。読み込んだ表示データを転送クロックCL2に同期して、各々3画素分の表示データを一度に転送可能なデータバスData A及びData Bに出力し、CL1信号をソースドライバ111及びソースドライバ112に出力してから、ゲートドライバ120及びゲートドライバ121にゲート出力開始信号FLM及び水平同期信号CL3を出力する。

【0015】110は階調電圧線、111及び112はクロックCL2に同期してData A及びData Bから表示データを順次160回記憶し、CL1信号によって階調電圧線110に、記憶した160×3画素の表示データに対応した階調電圧を出力するソースドライバである。

【0016】ソースドライバ111及びソースドライバ112は、LCDコントローラ107がクロックCL2に同期してデータバスData A及びData Bに出力した表示データを記憶する。LCDコントローラ107はその表示データを出力し終わると、ソースドライバ111及びソースドライバ112が記憶したデータを出力するためのCL1信号を出力する。ソースドライバ111及びソースドライバ112は記憶した表示データに対応した階調電圧を階調電圧線110に出力する。

【0017】Line 0、Line 1、Line 2及びLine 3はLCDコントローラ107の出力するソース選択線、116、117、118及び119はLine 0、Line 1、Line 2またはLine 3がハイレベルのときに、ST0、ST1... ST1919及びSB0、SB1... SB1919とソースドライバ111及びソースドライバ112の出力する階調電圧線110とを導通状態にするスイッチ群である。

【0018】ソースドライバ111及びソースドライバ112が階調電圧を階調電圧線110に出力するとき、LCDコントローラ107がLine 0だけをハイレベルにすると、スイッチ群116が導通状態になり、Line 0に対応したST0、ST4... 及びSB0、SB4... に階調電圧を印加する。同様に、LCDコントローラ107がLine 1だけをハイレベルにすると、スイッチ群117が導通状態になり、Line 1に対応したST1、ST5... 及びSB1、SB5... に階調電圧を印加する。同様に、Line 2だけをハイレベルにすると、スイッチ群118が導通状態になり、ST2、ST6... 及びSB2、SB6... に階調電圧を印加する。同様に、Line 3だけをハイレベルにすると、スイッチ群119が導通状態になり、ST3、ST7... 及びSB3、SB7... に階調電圧を印加する。

【0019】120及び121は、ゲート出力開始信号FLMと水平同期信号CL3とを入力し、ゲート信号G0からG239及びG240からG479に水平同期信

6

号CL3に同期して順次選択電圧を出力するゲートドライバである。

【0020】ゲートドライバ120およびゲートドライバ121は、ゲート出力開始信号FLMがハイレベルのときに、水平同期信号CL3の立ち下がりでゲート信号G0及びG240を、次の水平同期信号CL3の立ち下がりでG1及びG241を、最後にはG239及びG479を、というように、水平同期信号CL3立ち下がりに同期して順次G0からG239及びG240からG479に選択電圧を出力する。

【0021】122は上部及び下部の2画面で構成される640ドット×480ラインのTFT型液晶のパネルである。

【0022】図2はパネル122の詳細図であり、ST0、ST1、ST2、ST3からST1919及びSB0、SB1、SB2、SB3からSB1919はソースドライバ111及びソースドライバ112によってドライブされるソース信号、G0、G1、G2からG479は他の信号に比べて立ち上がり／立ち下がり時間が遅いゲート信号であり、ゲートドライバ120及びゲートドライバ121によってドライブされる。例えば、ゲート信号G0及びG240に選択電圧が印加されると、そのゲート信号G0及びG240に接続されたTFTは導通状態になる。導通状態になったTFTにより、ST0からST1919及びSB0からSB1919に印加されている階調電圧を画素電極に印加できる。

【0023】次にデータを入力してから表示するまでの動作を説明する。メモリコントローラ103は最新の表示データを入力し、データを並べ替えながら1画面分のデータを、メモリアイトバス104からメモリ102に書き込む。メモリ102のメモリマップは、図4のようになる。まず初めにG0に対応した画素に階調電圧をかける場合について、図3を用いて説明する。LCDコントローラ107は、メモリ102に書き込まれたデータの、パネル122に表示するための上下2組分であるゲート信号G0及びG240の各Line 0に対応する最初の4分の1ラインのデータをメモリアイトバス108から読み込み、各々を表示データバスData A及びData Bを通して、クロック信号CL2に同期してソースドライバ111及びソースドライバ112に出力する。ソースドライバ111及びソースドライバ112は、160回のCL2信号によって各々のデータを記憶する。このときLCDコントローラ107は、Line 0に対応した4分の1ラインの表示データの転送が終了したことを示すCL1信号を出力する。CL1信号によりソースドライバ111及びソースドライバ112は、記憶したデータに対応した階調電圧を階調電圧線110に出力する。このときLCDコントローラ107はLine 0をハイレベルにし、スイッチ群116を導通状態にして、ST0、ST4からST1916及びSB0、

(5)

7  
SB4からSB1916に階調電圧を印加する。次のLine1に対応した4分の1ラインもLine0と同様で、LCDコントローラ107はメモリリードバス108からG0及びG240の各Line1に対応する4分の1ラインのデータを読み込み、そのデータをソースドライバ111及びソースドライバ112に出力し、CL1信号を出力した後、Line1をハイレベルにし、スイッチ群117を導通状態にして、ST1、ST5からST1917及びSB1、SB5からSB1917に階調電圧を印加する。同様にLCDコントローラ107は、Line2をハイレベルにし、スイッチ群118を導通状態にして、ST2、ST6からST1918及びSB2、SB6からSB1918に階調電圧を印加する。同様にLCDコントローラ107は、Line3をハイレベルにし、スイッチ119を導通状態にして、ST3、ST7からST1919及びSB3、SB7からSB1919に階調電圧を印加する。このようにして1ライン分の表示データに対応した階調電圧を出力できる。また、ゲートドライバ120及びゲートドライバ121は、Line0がハイレベルにされる前に、CL3のローレベル及びFLMのハイレベルを入力すると、ゲート信号G0及びG240をハイレベルにし、最初のラインの表示ができることを示す。Line3がハイレベルからローレベルになるときは、ゲート信号G0及びG240は十分にハイレベルに達していて、ST0からST1919及びSB0からSB1919にかかっている階調電圧は、TFTを通して画素電極に与えられ、G0及びG240の2ラインの表示が完了する。

【0024】次のラインの表示は、最初のG0及びG240の2ラインの表示と同様に、LCDコントローラ107はメモリ102に書き込まれたデータの、パネル122に表示するための上下2組分であるゲート信号G1及びG241の各Line0に対応する最初の4分の1ラインのデータをメモリリードバス108から読み込み、各々を表示データバスDataA及びDataBを通して、クロック信号CL2に同期してソースドライバ111及びソースドライバ112に出力する。以下同様にして、ST0からST1919及びSB0からSB1919に階調電圧を印加する。CL3がローレベルに出力され、G1及びG241をハイレベルにする。Line3をハイレベルからローレベルにするときは、ゲート信号G1及びG241は十分にハイレベルに達していて、ST0からST1919及びSB0からSB1919に印加されている階調電圧は、TFTを通して画素電極に与えられ、G1とG241の2ラインの表示が完了する。

【0025】以下同様にして、G2からG239及びG242からG479のラインの表示が完了する。

【0026】LCDの場合に必要な画素電圧の交流化について、まずライン毎に交流させる場合は、LCDコン

8  
トローラ107がDataAとDataBに出力するデータ値を、同じ1画面内の1ライン飛びに、ソースドライバ111及びソースドライバ112の出力する階調電圧が正電圧と負電圧になるように出力する。G0のラインが例えば正電圧、G1が負電圧であったら、次の画面の表示では、G0は負電圧、G1は正電圧にする。あるいは、パネル122の共通電極を1ライン飛びに2組設け、いわゆる櫛形電極として、1画面毎に共通電極の電圧を、正/負に切り替える。

10 【0027】また、1画面毎に交流する場合は、LCDコントローラ107がDataAとDataBに出力するデータ値を、1画面毎に、ソースドライバ111及びソースドライバ112の出力する階調電圧が正電圧と負電圧になるように出力する。あるいは、パネル122の共通電極を1画面毎に正/負に切り替える。

【0028】ゲートドライバ120の出力を、G0及びG240、G1及びG241、...、G239及びG479に各々出力することで、1個のドライバで構成して、480本のラインを制御するようにしてももちろん良い。

【0029】本実施例によれば、ゲート線G0からG479の立ち上がり時間及び立ち下がり時間が、他の信号に比べて遅いパネルでも、フレーム周波数を下げることなく表示することができる。

【0030】第2の実施例として、ソースドライバをパネルの上下2個ずつ持つ構成としたものを、図5、図6及び図7を用いて説明する。図5は第2の実施例を示す表示装置であり、図6はメモリ150のメモリマップ、図7は図5の動作を表すタイミングチャートである。

30 【0031】図5において、150は1画面分以上の表示データを記憶でき、図6に示すメモリマップで表示データが記憶されているメモリ、151はLCDコントローラ152からの制御信号とメモリ150からの表示データで構成されるメモリリードバス、152はクロック106を元に液晶表示制御信号とメモリ150からのデータを読み込むための制御信号を生成するLCDコントローラである。LCDコントローラ152は、クロック106を元にメモリ制御信号を生成し、メモリリードバス151でメモリ150からデータを読み出し、読み込んだ表示データをCL2に同期してDataA、DataB、DataC及びDataDに出力し、Line0から3を出力し、ゲートドライバ120及びゲートドライバ121にゲート出力開始信号FLM及び水平同期信号CL3を出力する。153、154、155及び156はCL2とともに記憶した表示データをCL1によって階調電圧線110に階調電圧を出力する240出力のソースドライバである。

50 【0032】データを入力してから表示するまでの動作は、第1の実施例とほぼ同じであるが、本実施例では、第1の実施例で上下1個ずつだったソースドライバを、

(6)

9

各々左右に2分して2個のソースドライバとする。まず、LCDコントローラ152はメモリリードバス151から、パネル122に表示するための上下2組分であるゲート信号G0及びG240の各Line0に対応する最初の4分の1ラインのデータを読み込み、そのデータをバスData A、Data B、Data C及びData Dを通してCL2信号に同期して出力する。ソースドライバ153、154、155及び156は、80回のCL2信号によって各々のデータを記憶する。LCDコントローラ152はCL1信号を出力し、Line0をハイレベルにする。同様に、Line1、Line2及びLine3について動作する。LCDコントローラ152がFLMとCL3とを出力すると、ゲートドライバ120及びゲートドライバ121はG0及びG240をハイレベルにする。

【0033】本実施例では、第1の実施例で上下1個ずつだったソースドライバを、左右に分けて各2個のソースドライバとし、各ソースドライバに同時に表示データを出力することで、ソースドライバが表示データを記憶し始めてから階調電圧をソース線に印加するまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0034】第3の実施例として、パネルを左右に分割し、ソースドライバを2個だけパネルの上に持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図8から図11を用いて説明する。図8は第3の実施例を示す表示装置であり、図9はパネル205の詳細なブロック図、図10は図8の動作を表すタイミングチャート、図11はメモリ200のメモリマップである。

【0035】図8において、200は1画面分以上の表示データを記憶でき、図11に示すメモリマップで表示データが記憶されているメモリ、201はLCDコントローラ202からの制御信号とメモリ200からの表示データで構成されるメモリリードバス、202はクロック106を元に液晶表示制御信号とメモリ200からのデータを読み込むための制御信号を生成するLCDコントローラである。LCDコントローラ202は、クロック106を元にメモリ制御信号を生成し、メモリリードバス201でメモリ200からデータを読み出し、読み込んだ表示データをCL2に同期してData A及びData Bに出力し、Line0、Line1、Line2及びLine3を出力し、ゲートドライバ203及びゲートドライバ204にゲート出力開始信号FLM及び水平同期信号CL3を出力する。203及び204はゲート出力開始信号FLMと水平同期信号CL3とを入力し、ゲート信号G0からG479及びG0'からG479'をハイレベルにするゲートドライバである。205は左部及び右部の2画面で構成される640ドット×480ラインのTFT型液晶のパネルである。

【0036】データを入力してから表示するまでの動作は、第2の実施例とほぼ同じであるが、本実施例では、

10

第2の実施例でパネル122の上下2個ずつであったソースドライバを、パネル205の上だけに2個持つ構成とする。まず、LCDコントローラ202はメモリリードバス201から、パネル205に表示するための上下2組分であるゲート信号G0及びG0'の各Line0に対応する最初の4分の1ラインのデータを読み込み、そのデータをバスData A及びData Bを通してCL2信号に同期して出力する。ソースドライバ153及びソースドライバ154は、80回のCL2信号によって各々のデータを記憶する。LCDコントローラ202はCL1信号を出力し、Line0をハイレベルにする。同様に、Line1、Line2及びLine3について動作する。LCDコントローラ202がLine0を最初にハイレベルにするとときにFLMとCL3とを出力すると、ゲートドライバ203及びゲートドライバ204はG0及びG0'をハイレベルにする。Line3がハイレベルからローレベルになるときは、ゲート信号G0及びG0'は十分にハイレベルに達していて、S0からS19'19に印加されている階調電圧は、TFTを通して画素電極に与えられ、G0及びG0'の1ラインの表示が完了する。

【0037】本実施例では、LCDコントローラ202がLine0をハイレベルにするとときにCL3信号を出力するようにしてあり、Line3をハイレベルからローレベルにしてからLine0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0038】第4の実施例として、パネルを左右に分割し、ソースドライバをパネルの上下2個ずつ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図12から図15を用いて説明する。図12は第4の実施例を示す表示装置であり、図13はパネル253の詳細な説明図、図14は図12の動作を表すタイミングチャート、図15はメモリ250のメモリマップである。

【0039】図12において、250は1画面分以上の表示データを記憶でき、図15に示すメモリマップで表示データが記憶されているメモリ、251はLCDコントローラ252からの制御信号とメモリ250からの表示データで構成されるメモリリードバス、252はクロック106を元に液晶表示制御信号とメモリ250からのデータを読み込むための制御信号を生成するLCDコントローラである。

【0040】LCDコントローラ252は、クロック106を元にメモリ制御信号を生成し、メモリリードバス251でメモリ250からデータを読み出し、読み込んだ表示データをCL2に同期してData A、Data B、Data C及びData Dに出力し、Line0、Line1、Line2及びLine3を出力し、ゲートドライバ203及びゲートドライバ204にゲート出

(7)

11

力開始信号FLM及び水平同期信号CL3を出力する。  
203及び204はゲート出力開始信号FLMと水平同期信号CL3とを入力し、ゲート信号G0からG479及びG0'からG479'をハイレベルにするゲートドライバである。253は左部及び右部の2画面で構成される640ドット×480ラインのTFT型液晶のパネルである。

【0041】データを入力してから表示するまでの動作は、第3の実施例とほぼ同じであるが、本実施例では、パネル255に上下各2個のソースドライバを持つ構成とする。まず、LCDコントローラ252はメモリリードバス251から、パネル255に表示するための上下2組分であるゲート信号G0、G0'、G1及びG1'の各Line0に対応するデータを読み込み、そのデータをバスDataA、DataB、DataC及びDataDを通してCL2信号に同期して出力する。ソースドライバ153、ソースドライバ154、ソースドライバ155及びソースドライバ156は、80回のCL2信号によって各々のデータを記憶する。LCDコントローラ252はCL1信号を出力し、Line0をハイレベルにする。同様に、Line1、Line2及びLine3について動作する。そして、LCDコントローラ252がFLMとCL3とを出力すると、ゲートドライバ203及びゲートドライバ204はG0、G0'、G1及びG1'をハイレベルにする。Line3がハイレベルからローレベルになるときは、ゲート信号G0及びG0'は十分にハイレベルに達していて、S0からS1919に印加されている階調電圧は、TFTを通して画素電極に与えられ、G0、G0'、G1及びG1'の2ラインの表示が完了する。

【0042】本実施例では、例えばG0、G0'、G1及びG1'の2ラインの表示が同時に完了するので、1ラインの表示時間中に2ライン表示でき、フレーム周波数を高くすることができる。

【0043】第5の実施例として、パネルを上下左右に4分割し、ソースドライバをパネルの上下2個ずつ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図16から図18を用いて説明する。図16は第5の実施例を示す表示装置であり、図17はパネル300の詳細な説明図、図18は図16の動作を表すタイミングチャートである。

【0044】図16において、300は左上部、右上部、左下部及び右下部の4画面で構成される640ドット×480ラインのTFT型液晶のパネル、301及び302は1本の出力で2本のゲート信号をドライブするゲートドライバで、ゲートドライバ301はパネル300の左上部と左下部のゲート線を、つまりG0とG240、G1とG241というように1本ずつ同時駆動し、ゲートドライバ302はパネル300の右上部と右下部のゲート線をつまみG0'とG240'、G1'とG2

12

41'というように1本ずつ同時駆動する。

【0045】データを入力してから表示するまでの動作は、第2の実施例とほぼ同じであるが、第2の実施例では1ラインを表示するためのゲート線は例えばG0の1本だけであったが、本実施例では左右に分けて、新しくG0とG0'とに分け、それぞれゲートドライバ301及びゲートドライバ302で駆動するようにしている。

【0046】本実施例によれば、ゲート線G0からG479及びG0'からG479'の立ち上がり時間及び立ち下がり時間が、他の信号に比べて遅いパネルでも、フレーム周波数を下げることなく表示することができる。

【0047】第6の実施例として、ソースドライバをパネルの上に2個持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図19から図21を用いて説明する。図19は第4の実施例を示す表示装置であり、図20はパネル351の詳細な説明図、図21は図19の動作を表すタイミングチャートである。

【0048】図19において、350はクロック106を元に液晶表示制御信号とメモリ200からのデータを読み込むための制御信号を生成するLCDコントローラ、351は640ドット×480ラインのTFT型液晶のパネルである。メモリコントローラ103がメモリ200に書き込むときのメモリマップは図11であり、第3の実施例と同じである。

【0049】LCDコントローラ350は、クロック106を元にメモリ制御信号を生成し、メモリリードバス201でメモリ200からデータを読み出し、読み込んだ表示データをCL2に同期してDataA及びDataBに出力し、Line0、Line1、Line2及びLine3を出力し、ゲートドライバ203及びゲートドライバ204にゲート出力開始信号FLM及び水平同期信号CL3を出力する。

【0050】データを入力してから表示するまでの動作は、第3の実施例とほぼ同じであるが、本実施例では、ゲートドライバ203は、Line0に次いでLine1をハイレベルからローレベルにした後、G0、G1...G479を各々駆動する。同様に、ゲートドライバ204は、Line2に次いでLine3をハイレベルからローレベルにした後、G0'、G1'...G479'を各々駆動する。つまり、Line0およびLine1に対応したデータはゲートドライバ203でG0からG479で駆動され、Line2およびLine3に対応したデータはゲートドライバ204でG0'からG479'で駆動されるようにしたものである。

【0051】本実施例では、LCDコントローラ350がLine0をハイレベルにするときにCL3信号を出力するようにしてあり、Line3をハイレベルからローレベルにしてからLine0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

(8)

13

【0052】第7の実施例として、ソースドライバをパネルの上下2個ずつ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図22から図25を用いて説明する。図22は第7の実施例を示す表示装置であり、図23はパネル403の詳細な説明図24は図22の動作を表すタイミングチャート、図25はメモリ400のメモリマップである。

【0053】図22において、400は1画面分以上の表示データを記憶でき、図25に示すメモリマップで表示データが記憶されているメモリ、401はLCDコントローラ402からの制御信号とメモリ400からの表示データで構成されるメモリリードバス、402はクロック106を元に液晶表示制御信号とメモリ400からのデータを読み込むための制御信号を生成するLCDコントローラである。403は640ドット×480ラインのTFT型液晶のパネルであり、図22にその詳細を示す。

【0054】301及び302は1本の出力で2本のゲート信号をドライブするゲートドライバで、ゲートドライバ301はパネル300の左上部と左下部のゲート線を、つまりG0とG240、G1とG241というように1本ずつ同時駆動し、ゲートドライバ302はパネル300の右上部と右下部のゲート線をつまりG0'とG240'、G1'とG241'というように1本ずつ同時駆動する。

【0055】データを入力してから表示するまでの動作は、第6の実施例とほぼ同じであるが、本実施例では、パネル403の偶数番目の画素にはソースドライバ153から、奇数番目の画素にはソースドライバ155から、それぞれ表示データに対応した階調電圧を印加するようにしてある。さらに、ゲートドライバ203は、Line 0に次いでLine 1をハイレベルからローレベルにした後、G0、G1... G479を各々駆動する。同様に、ゲートドライバ204は、Line 2に次いでLine 3をハイレベルからローレベルにした後、G0'、G1'... G479'を各々駆動する。つまり、Line 0およびLine 1に対応したデータはゲートドライバ203でG0からG479で駆動され、Line 2およびLine 3に対応したデータはゲートドライバ204でG0'からG479'で駆動されるようにしたものである。

【0056】本実施例では、LCDコントローラ402がLine 0をハイレベルにするときにCL3信号を出力するようにしてあり、Line 3をハイレベルからローレベルにしてからLine 0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0057】第8の実施例として、ソースドライバをパネルの上に1個だけ持ち、ゲートドライバをパネルの左右に配置する構成としたものを、図26から図29を

14

用いて説明する。図26は第8の実施例を示す表示装置であり、図27はパネル457の詳細な説明図、28は図22の動作を表すタイミングチャート、図29はメモリ450のメモリマップである。

【0058】図26において、450は1画面分以上の表示データを記憶でき、図29に示すメモリマップで表示データが記憶されているメモリ、451はLCDコントローラ452からの制御信号とメモリ450からの表示データで構成されるメモリリードバス、452はクロック106を元に液晶表示制御信号とメモリ450からのデータを読み込むための制御信号を生成するLCDコントローラ、Line 4、Line 5、Line 6及びLine 7はLCDコントローラ452の出力するソース選択線、453、454、455及び456はLine 4、Line 5、Line 6及びLine 7がハイレベルのときにS4、S5、S6、S7、S12、S13... S1919とソースドライバ153の出力する階調電圧線110とを導通状態にするスイッチ、457は640ドット×480ラインのTFT型液晶のパネルである。

【0059】データを入力してから表示するまでの動作は、第6の実施例とほぼ同じであるが、本実施例では、4画素置きにゲートドライバ203とゲートドライバ204とで分けて、つまりLine 0、Line 1、Line 2及びLine 3に対応する画素はゲートドライバ203で、Line 4、Line 5、Line 6及びLine 7に対応する画素はゲートドライバ204で駆動するようにしてある。

【0060】LCDコントローラ452は、まず、クロック106を元にメモリ制御信号を生成し、メモリリードバス451でメモリ450からデータを読み出し、あらかじめゲートドライバ203及びゲートドライバ204にゲート出力開始信号FLM及び水平同期信号CL3を出力しておき、読み込んだ表示データをCL2に同期してバスDataに出力し、Line 0、Line 1、Line 2及びLine 3を順次出力し、G0の選択電圧で階調電圧が画素電極にそれぞれ印加される。そして、次のCL3を出力するが、同時にLCDコントローラ452はLine 4をハイレベルにし、スイッチ453を導通状態にし、S4、S12... S1916に階調電圧を印加する。さらにLine 5、Line 6及びLine 7に対応した動作も同様で、Line 7をハイレベルにした後ローレベルにし、G0'をハイレベルからローレベルにする。ここで1ライン分の表示が完了する。以下同様にして、G1からG479及びG1'からG479'のラインの表示が完了する。

【0061】本実施例では、LCDコントローラ452がLine 0をハイレベルにするときにCL3信号を出力するようにしてあり、さらにLine 4をハイレベルにするときにCL3'信号を出力するようにしてあり、

(9)

15

Line 3をハイレベルからローレベルにしてからLine 4をハイレベルにするまでの時間を短縮でき、さらにLine 7をハイレベルからローレベルにしてからLine 0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0062】第9の実施例として、ソースドライバをパネルの上に2個持ち、ゲートドライバをパネルの左に配置する構成としたものを、図30から図32を用いて説明する。図30は第9の実施例を示す表示装置であり、図31はパネル500の詳細な説明図、32は図30の動作を表すタイミングチャートである。

【0063】図30において、500は640ドット×480ラインのTFT型液晶のパネルである。

【0064】データを入力してから表示するまでの動作は、第3の実施例とほぼ同じであるが、本実施例では、第3の実施例のG0'からG479'をそれぞれゲートドライバ203で駆動するG0からG479にそのまま接続していて、全てゲートドライバ203で駆動する。

【0065】本実施例では、LCDコントローラ202がLine 0をハイレベルにするときにCL3信号を出力するようにしてあり、Line 3をハイレベルからローレベルにしてからLine 0をハイレベルにするまでの時間を短縮でき、フレーム周波数を高くすることができる。

【0066】第10の実施例として、ソースドライバをパネルの上下に2個ずつ持ち、ゲートドライバをパネルの左に配置する構成としたものを、図33から図36を用いて説明する。図33は第10の実施例を示す表示装置であり、図34はパネル553の詳細な説明図、35は図33の動作を表すタイミングチャートである。

【0067】図33において、550は1画面分以上の表示データを記憶でき、図36に示すメモリマップで表示データが記憶されているメモリ、551はLCDコントローラ552からの制御信号とメモリ550からの表示データで構成されるメモリリードバス、552はクロック106を元に液晶表示制御信号とメモリ550からのデータを読み込むための制御信号を生成するLCDコントローラ、553は640ドット×480ラインのTFT型液晶のパネルである。

【0068】データを入力してから表示するまでの動作は、第4の実施例とほぼ同じであるが、本実施例では、第4の実施例のG0'からG479'をそれぞれゲートドライバ203で駆動するG0からG479にそのまま接続していて、全ゲート線をゲートドライバ203で駆動する。

【0069】本実施例では、例えばG0及びG1の2ラインの表示が同時に完了するので、1ラインの表示時間中に2ライン表示でき、フレーム周波数を高くすることができる。

【0070】第11の実施例として、ソースドライバを

16

パネルの上に1個だけ持ち、ゲートドライバをパネルの左に配置する構成としたものを、図37と図38を用いて説明する。図37は第11の実施例を示す表示装置であり、図38は図37の動作を表すタイミングチャートである。

【0071】図37において、600はクロック106を元に液晶表示制御信号とメモリ450からのデータを読み込むための制御信号を生成するLCDコントローラである。

【0072】図37は第11の実施例を示す表示装置であり、図38は図37の動作を表すタイミングチャートである。

【0073】データを入力してから表示するまでの動作は、第8の実施例とほぼ同じであるが、本実施例では、第8の実施例のG0'からG479'をそれぞれゲートドライバ203で駆動するG0からG479にそのまま接続していて、全ゲート線をゲートドライバ203で駆動する。つまり、例えばLine 0からLine 7までを順次ハイレベルにした後ローレベルにしてから、G0をハイレベルにする。

【0074】本実施例では、例えばG0及びG1の2ラインの表示が同時に完了するので、1ラインの表示時間中に2ライン表示でき、フレーム周波数を高くすることができる。

【0075】以上の実施例では、1画面分以上の表示データを記憶できるメモリ102で構成してあるが、メモリ102をラインメモリ、ラインラッチ、更にはソースドライバを含めてラッチ内臓のソースドライバで構成することもできる。

【0076】

【発明の効果】本発明によれば、従来の解像度で良好なあるいは最低限の品質を保つための1フレーム期間に必要な時間（以下、フレーム周期という）が、高解像度化のためにデータ量が増えても、フレーム周期が長くなってしまわない。

【0077】又、ソースドライバの出力ピッチを微細化しなくてはならない場合でも、ソースドライバの小面積化、ソースドライバ回路の出力を液晶パネル接続するTABの小ピッチ化を行わなくてもよい。さらに、TABを微細化しなくても良いので、生産コストを低く抑えることができる。

【図面の簡単な説明】

【図1】第1の実施例の表示装置のブロック図。

【図2】第1の実施例の表示装置のパネルの説明図。

【図3】第1の実施例の表示装置のタイミングチャート。

【図4】第1の実施例の表示装置のメモリマップ。

【図5】第2の実施例の表示装置のブロック図。

【図6】第2の実施例の表示装置のメモリマップ。

【図7】第2の実施例の表示装置のタイミングチャー

(10)

17

ト。

【図8】第3の実施例の表示装置のブロック図。

【図9】第3の実施例の表示装置のパネルの説明図。

【図10】第3の実施例の表示装置のタイミングチャート。

【図11】第3の実施例の表示装置のメモリマップ。

【図12】第4の実施例の表示装置のブロック図。

【図13】第4の実施例の表示装置のパネルの説明図。

【図14】第4の実施例の表示装置のタイミングチャート。

【図15】第4の実施例の表示装置のメモリマップ。

【図16】第5の実施例の表示装置のブロック図。

【図17】第5の実施例の表示装置のパネルの説明図。

【図18】第5の実施例の表示装置のタイミングチャート。

【図19】第6の実施例の表示装置のブロック図。

【図20】第6の実施例の表示装置のパネルの説明図。

【図21】第6の実施例の表示装置のタイミングチャート。

【図22】第7の実施例の表示装置のブロック図。

【図23】第7の実施例の表示装置のパネルの説明図。

【図24】第7の実施例の表示装置のタイミングチャート。

【図25】第7の実施例の表示装置のメモリマップ。

【図26】第8の実施例の表示装置のブロック図。

【図27】第8の実施例の表示装置のパネルの説明図。

【図28】第8の実施例の表示装置のタイミングチャート。

18

【図29】第8の実施例の表示装置のメモリマップ。

【図30】第9の実施例の表示装置のブロック図。

【図31】第9の実施例の表示装置のパネルの説明図。

【図32】第9の実施例の表示装置のタイミングチャート。

【図33】第10の実施例の表示装置のブロック図。

【図34】第10の実施例の表示装置のパネルの説明図。

【図35】第10の実施例の表示装置のタイミングチャート。

【図36】第10の実施例の表示装置のメモリマップ。

【図37】第10の実施例の表示装置のブロック図。

【図38】第10の実施例の表示装置のタイミングチャート。

【符号の説明】

101…表示データバス、

102、150、…メモリ、

103…メモリコントローラ、

104…メモリライトバス、

105…クロック生成回路、

106…クロック、

107…LCDコントローラ、

108…メモリリードバス、

110…階調電圧線、

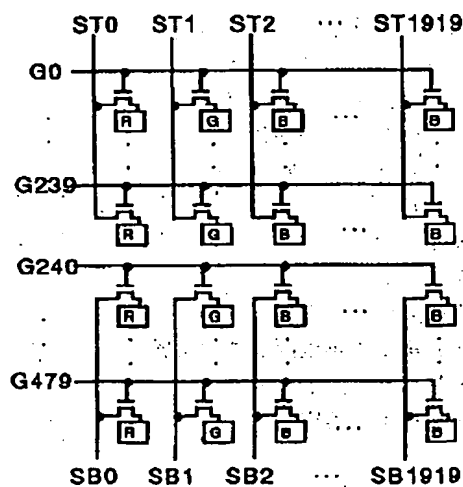
111、112…ソースドライバ、

116、117、118、119…スイッチ群、

120、121…ゲートドライバ。

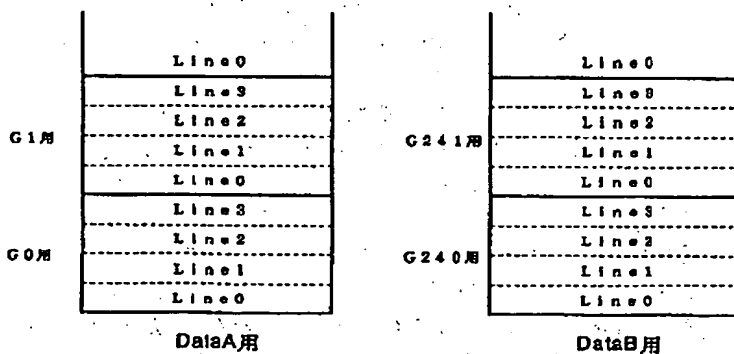
【図2】

図 2



【図4】

図 4

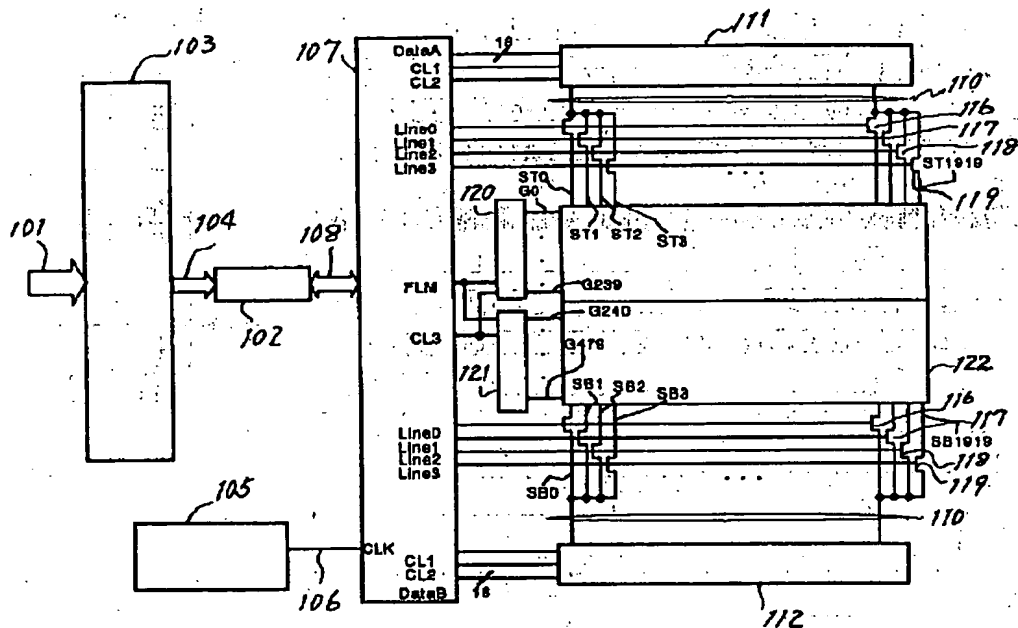




(11)

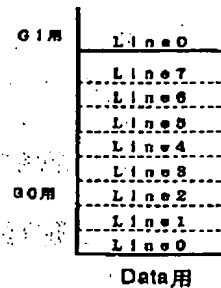
【図1】

図 1



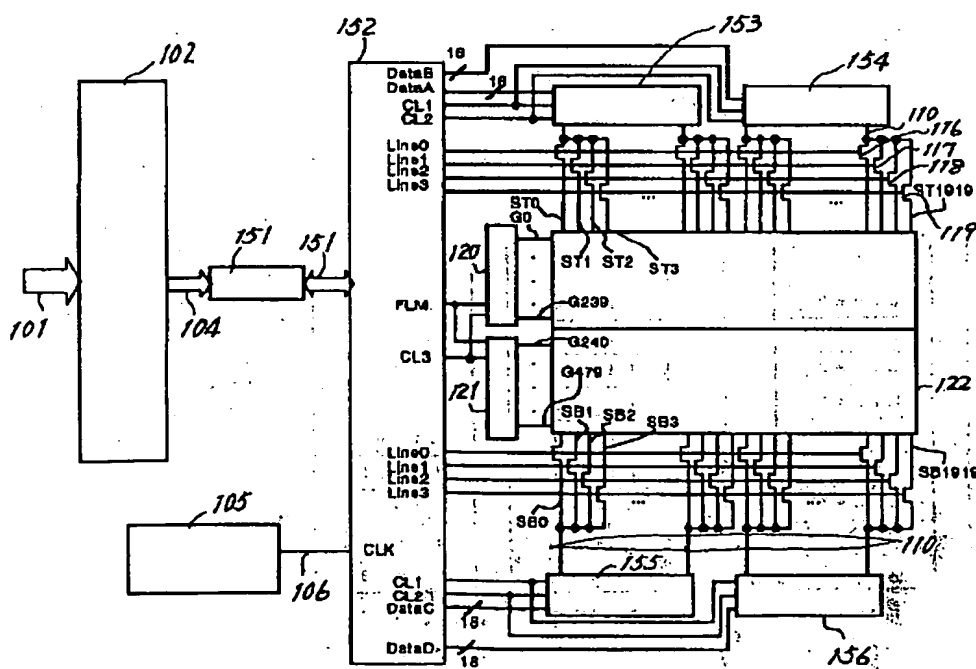
【図29】

図 29



【図5】

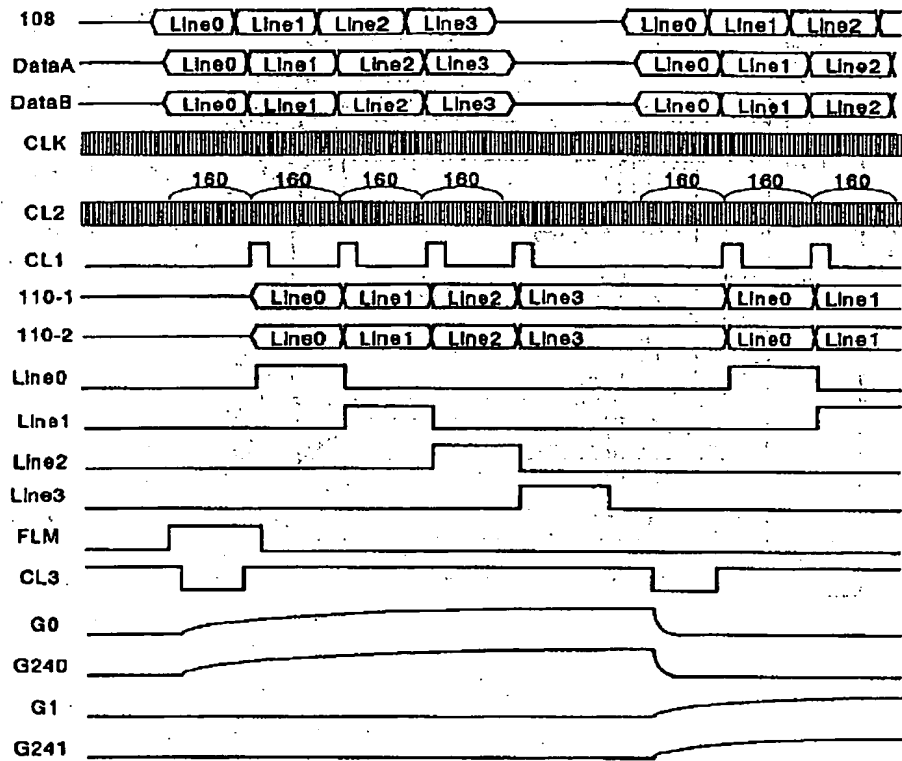
図 5



(12)

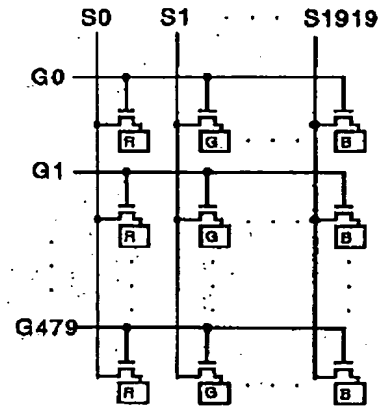
【図3】

図 3



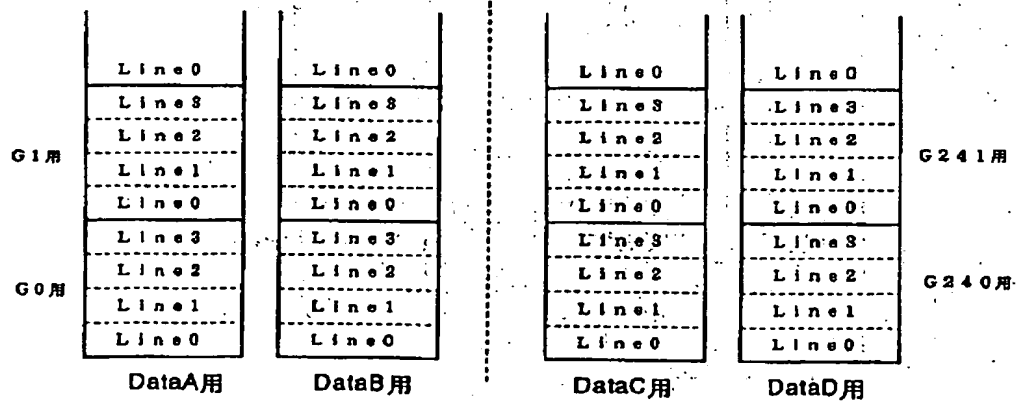
【図31】

図 31



【図6】

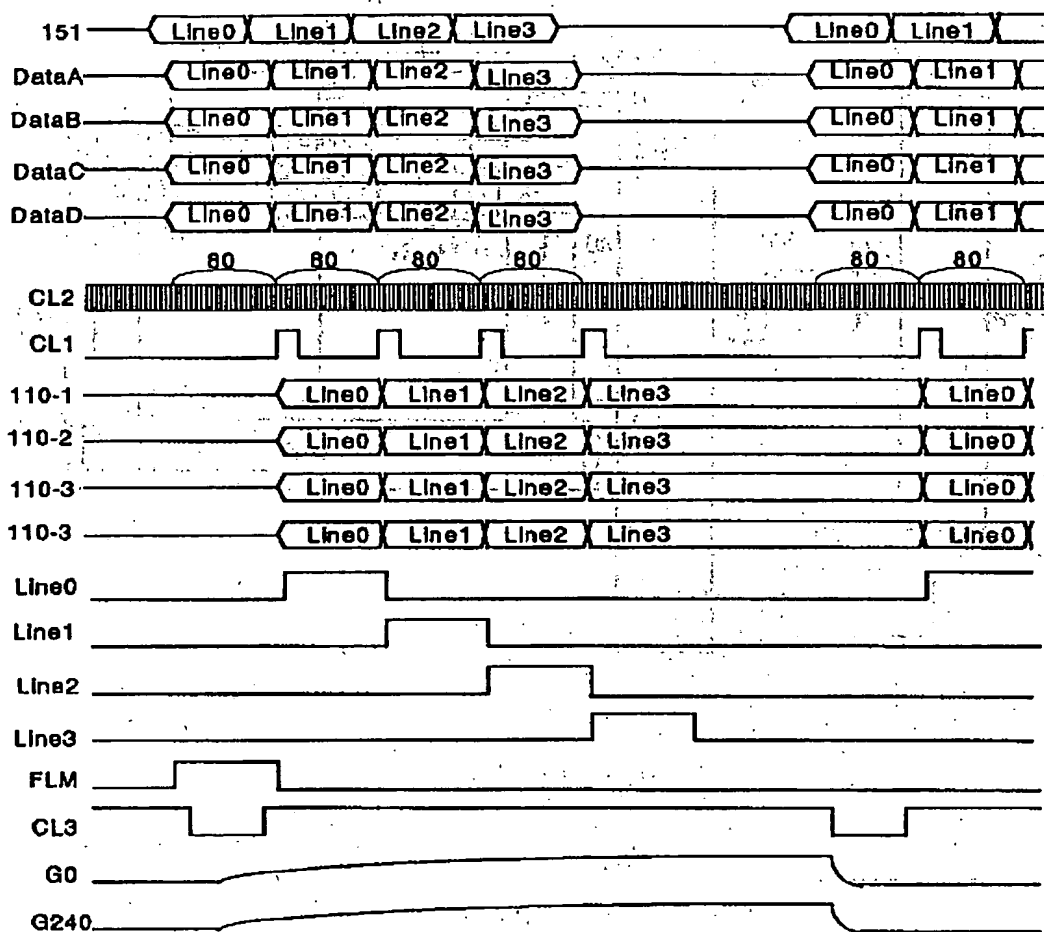
図 6



(13)

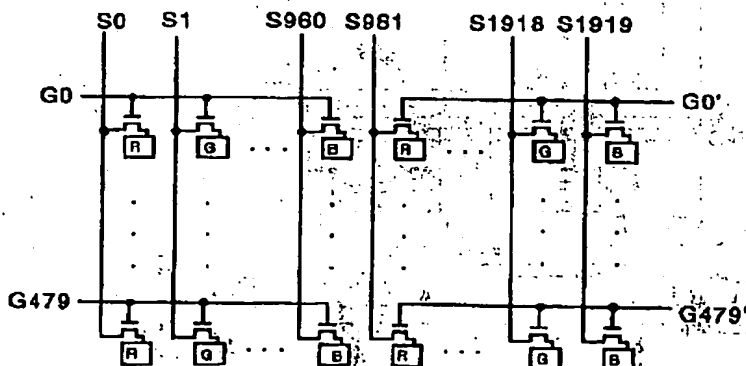
【図7】

図 7



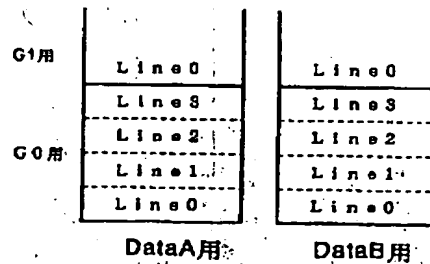
【図9】

図 9



【図11】

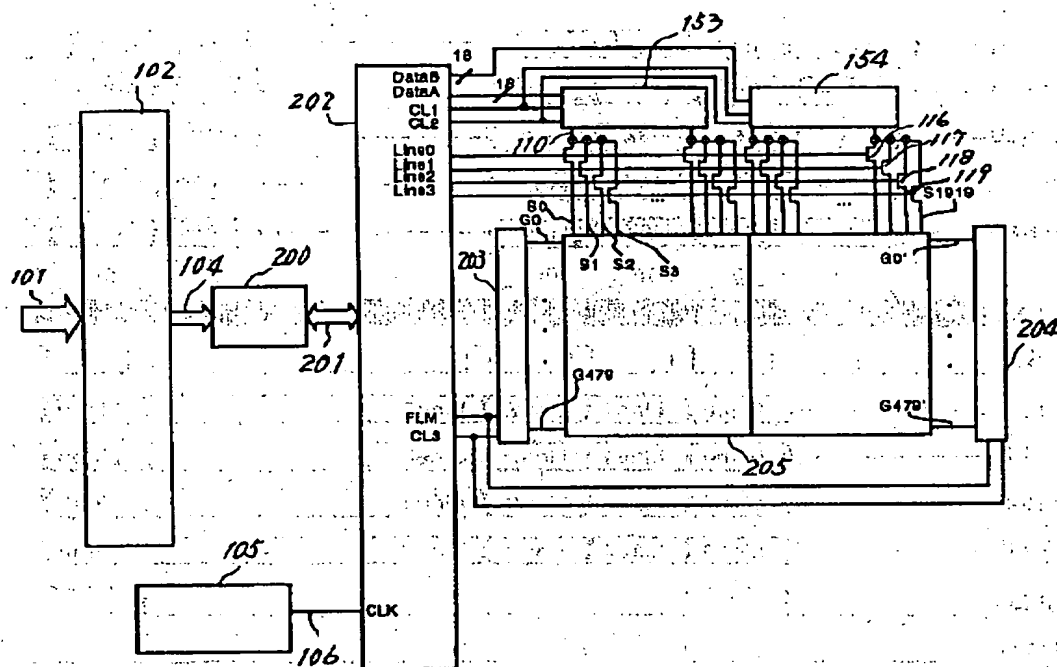
図 11



(14)

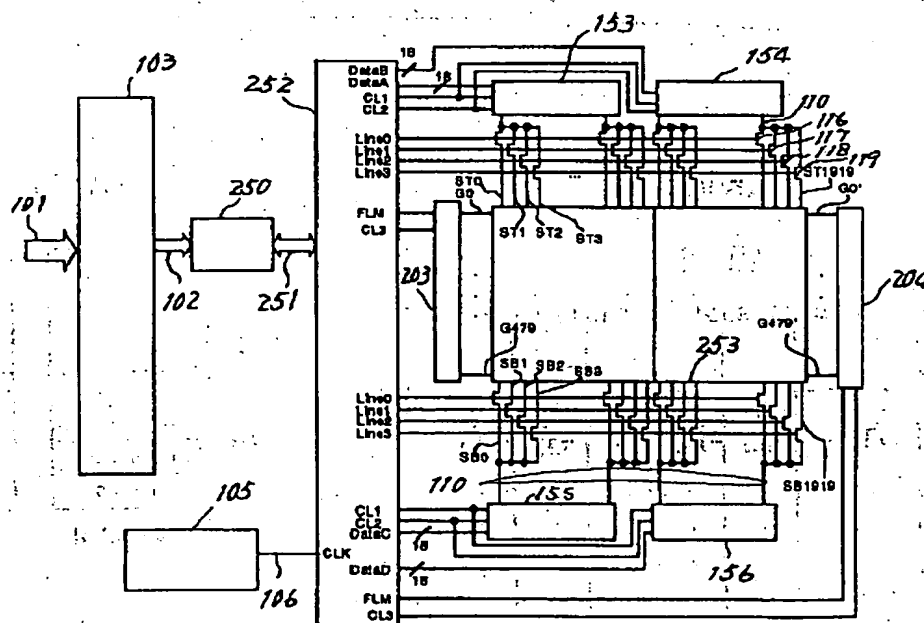
【图8】

四 8



【圖 1 2】

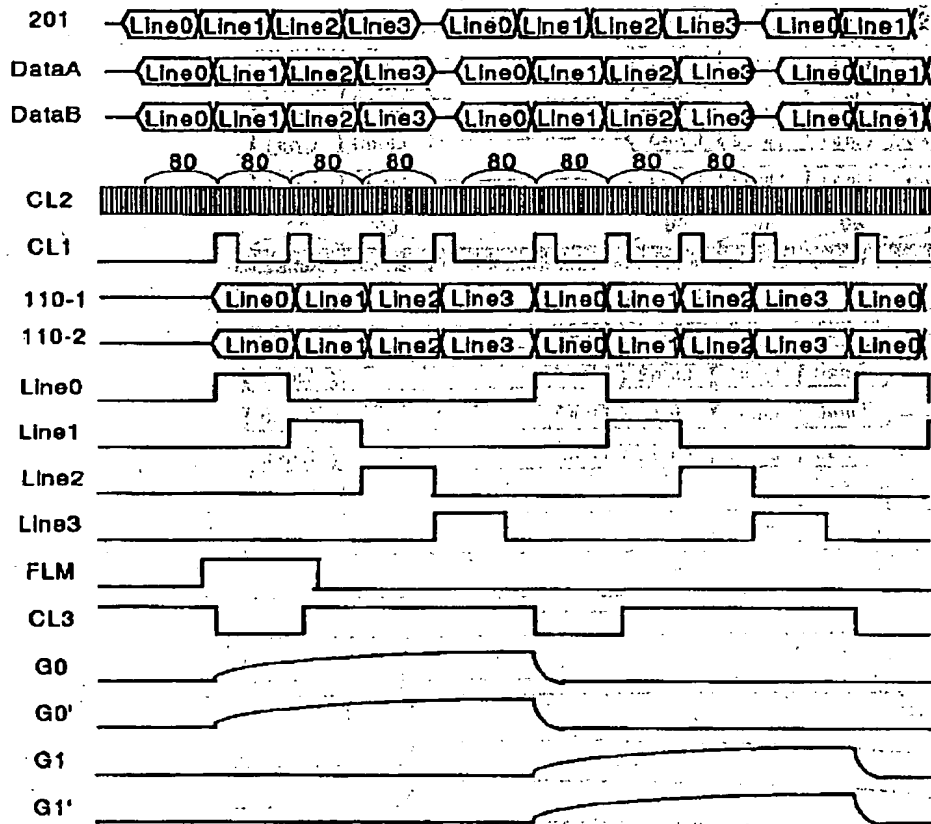
圖 12



(15)

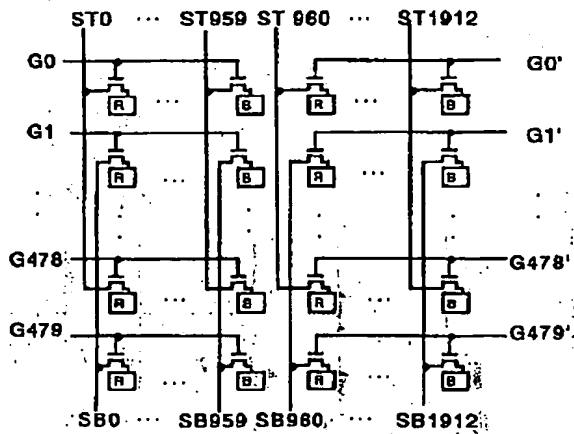
【図10】

図 10



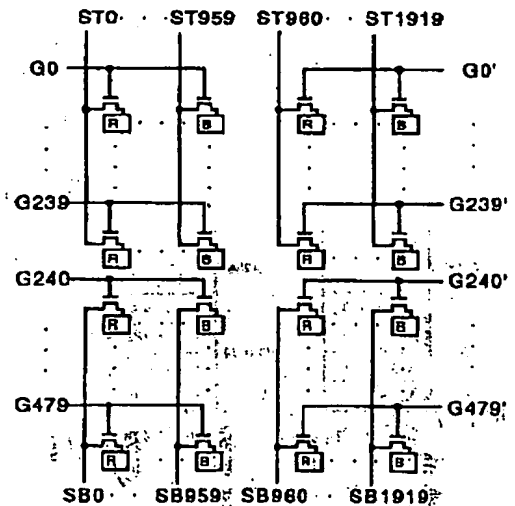
【図13】

図 13



【図17】

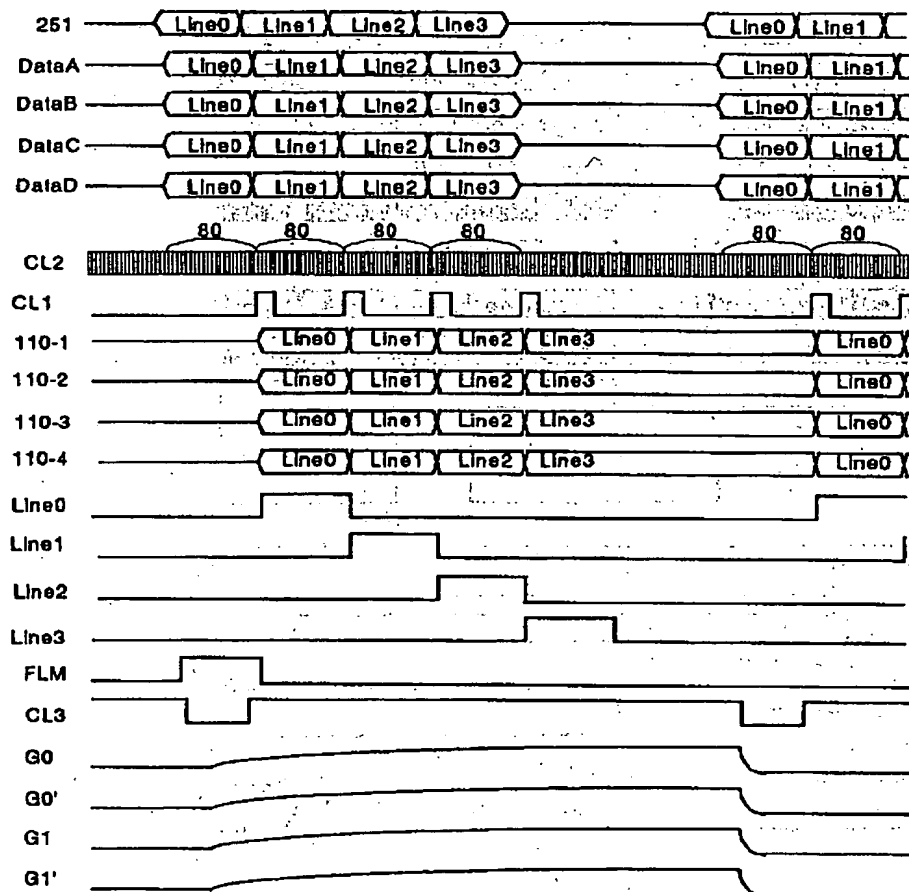
図 17



(16)

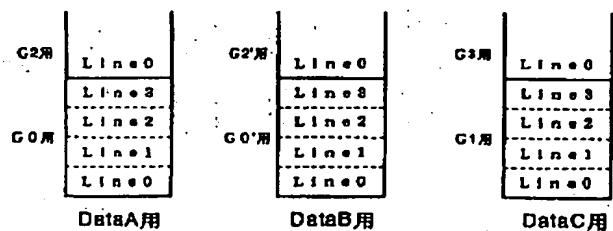
【図14】

図 14



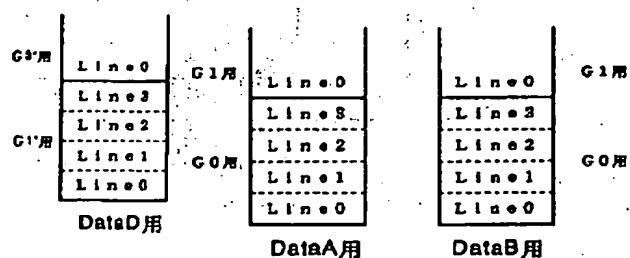
【図15】

図 15



【図25】

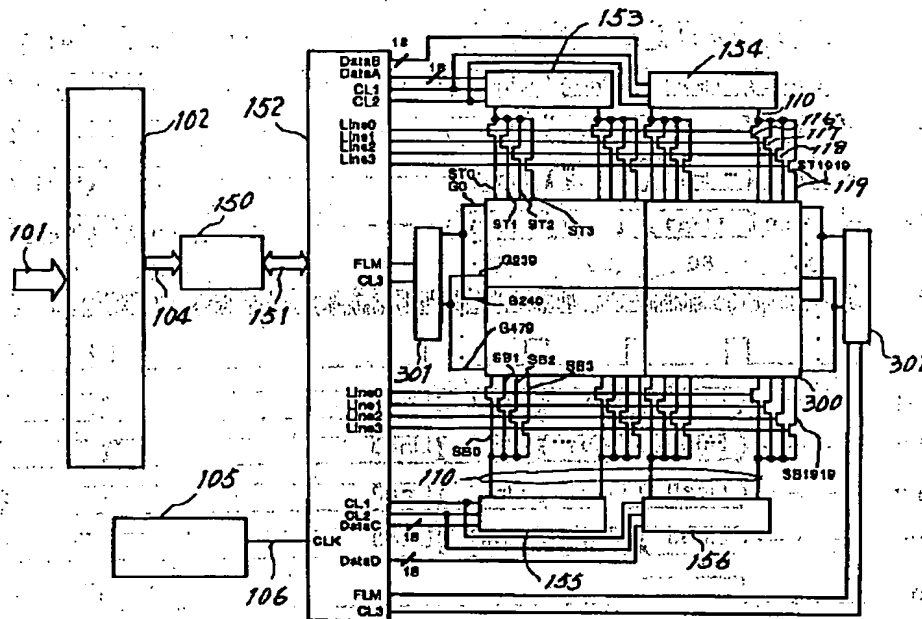
図 25



(17)

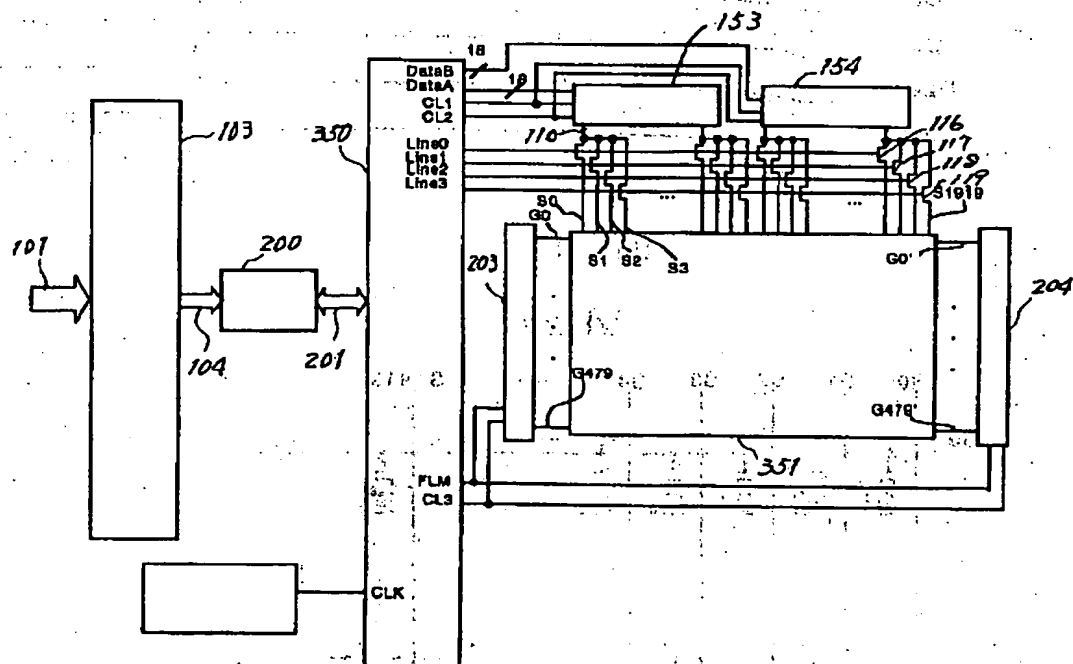
【图 16】

圖 16



【図 19】

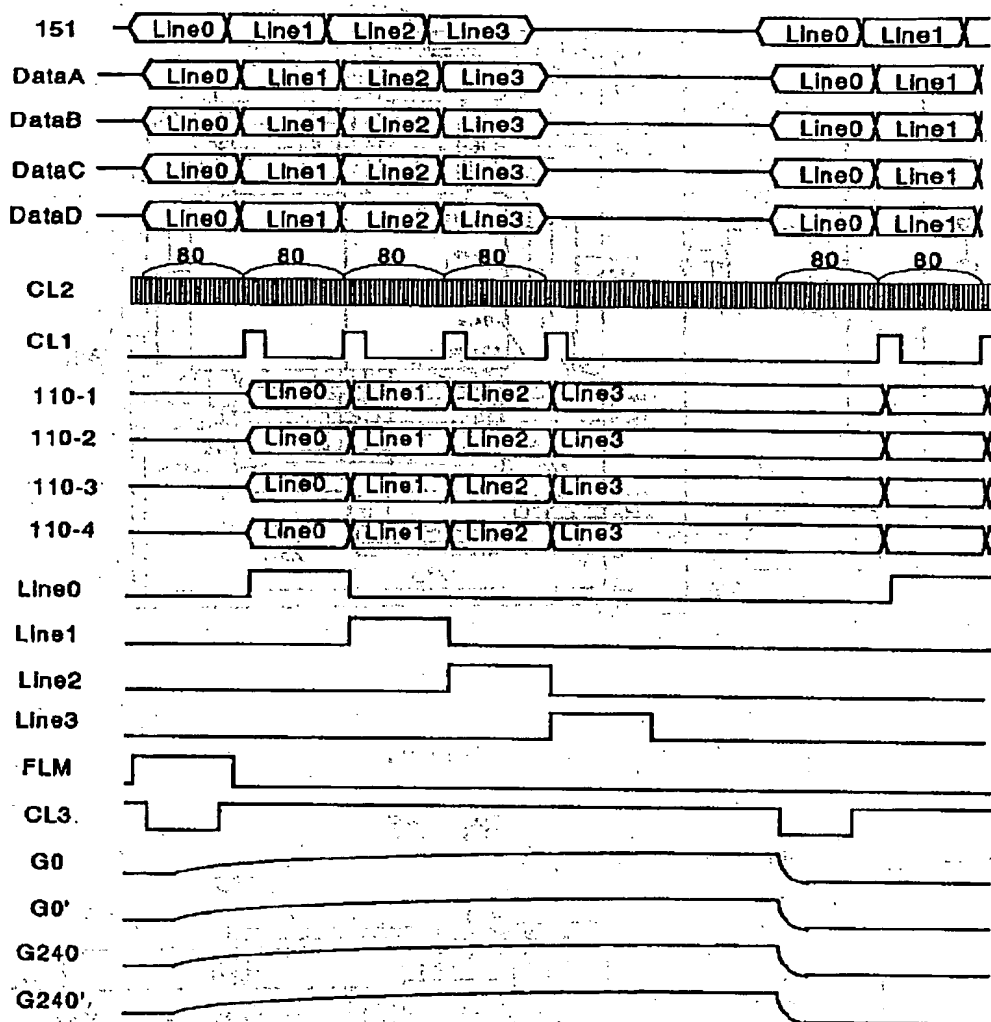
圖 19



(18)

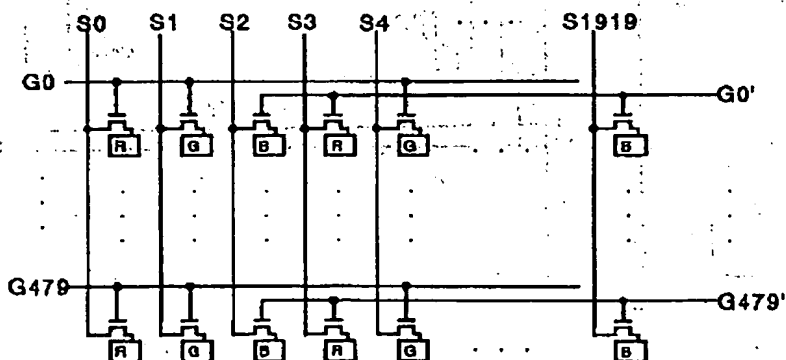
【図18】

図 18



【図20】

図 20

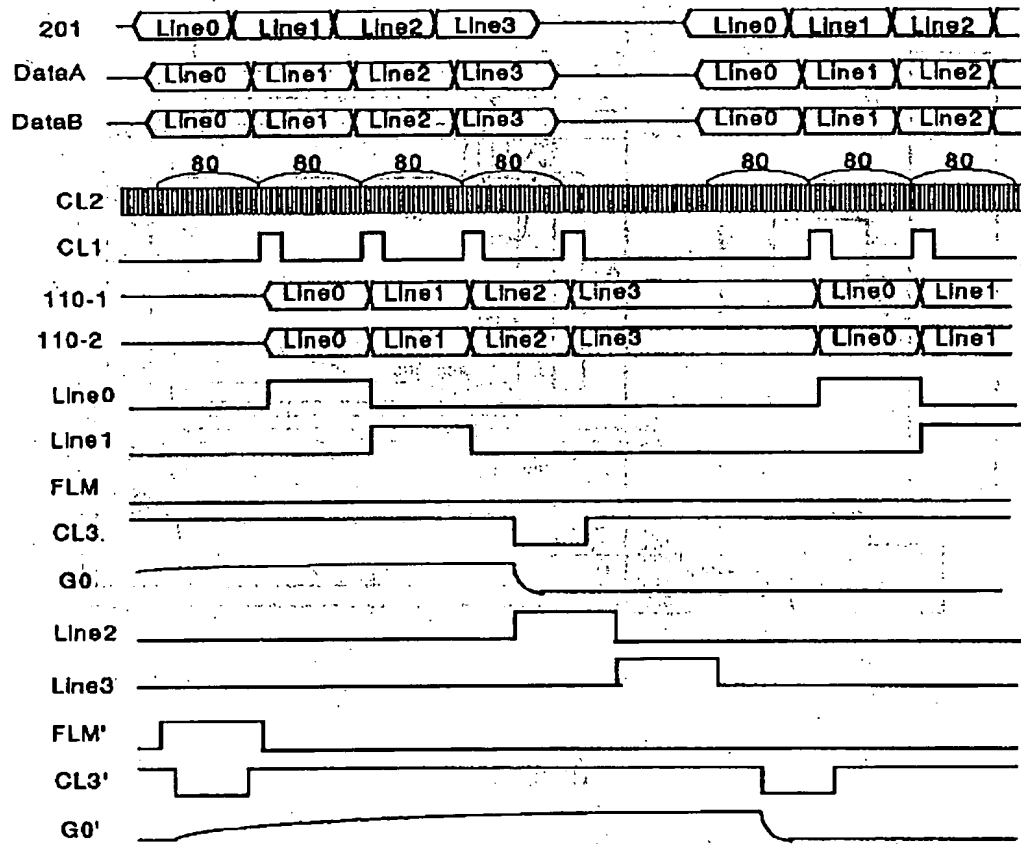




(19)

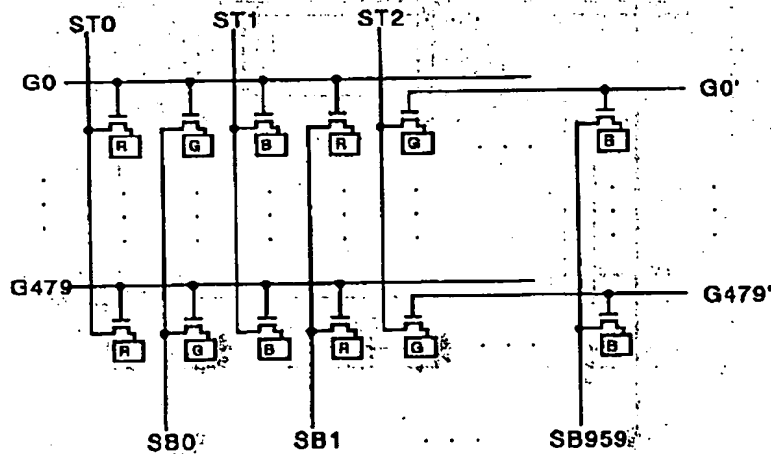
【図21】

図 21



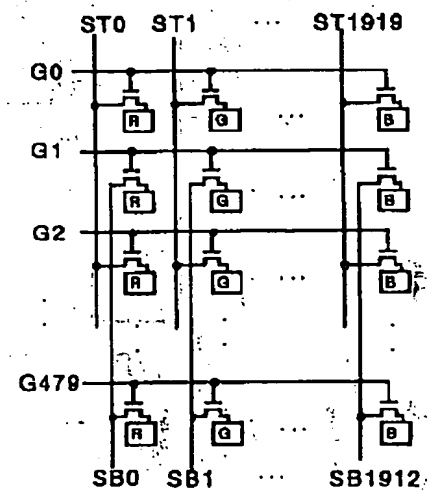
【図23】

図 23



【図34】

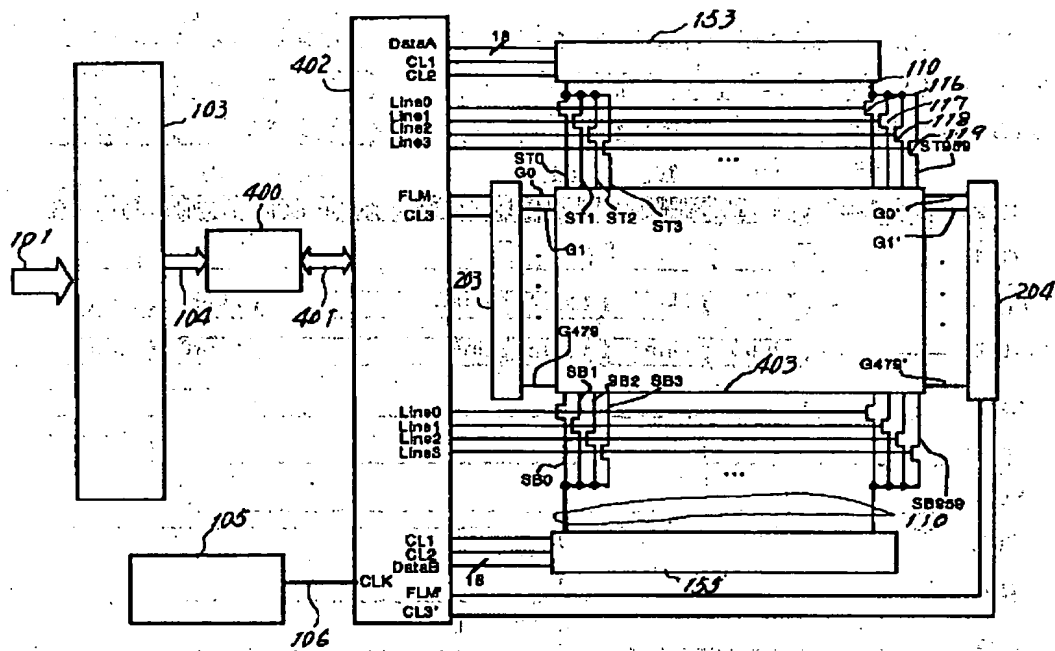
図 34



(20)

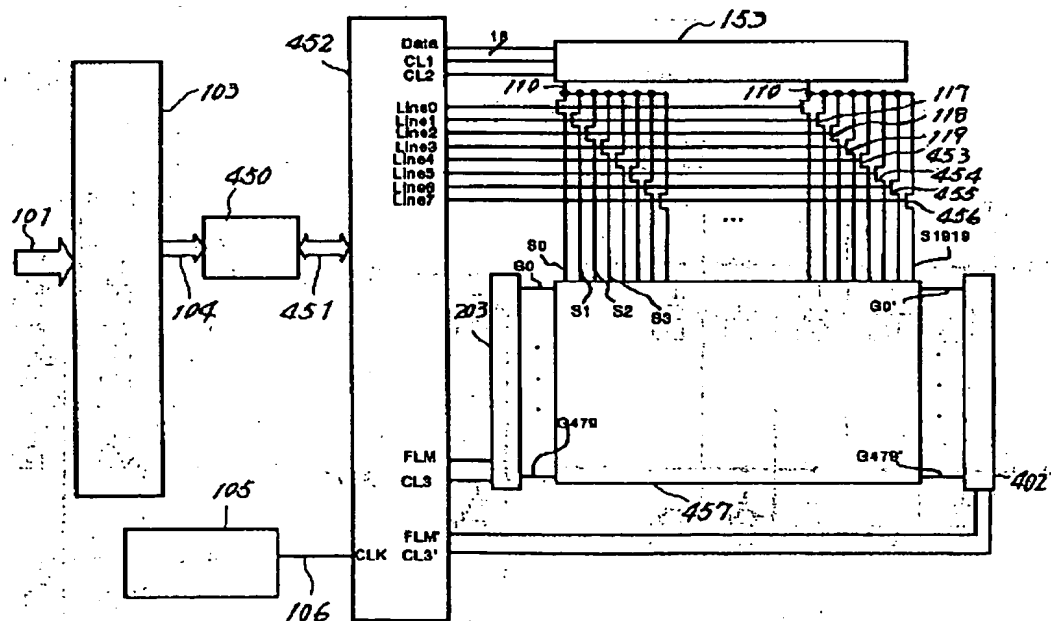
【图 2.2】

22



【図 26】

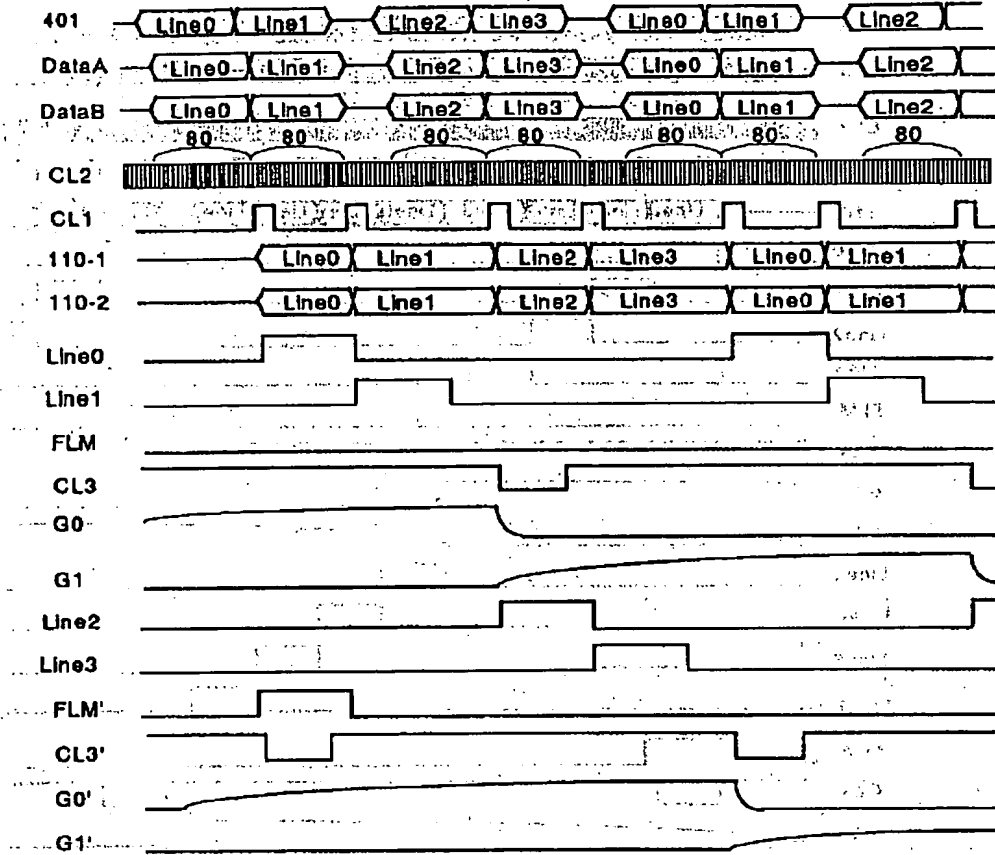
图 26



(21)

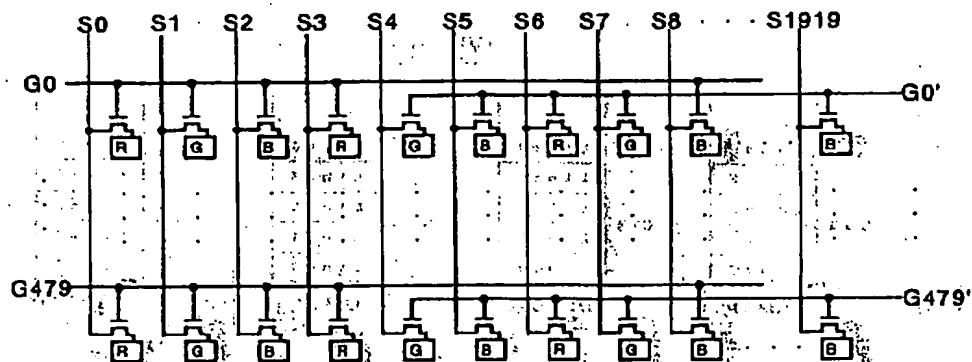
【図24】

24



【図27】

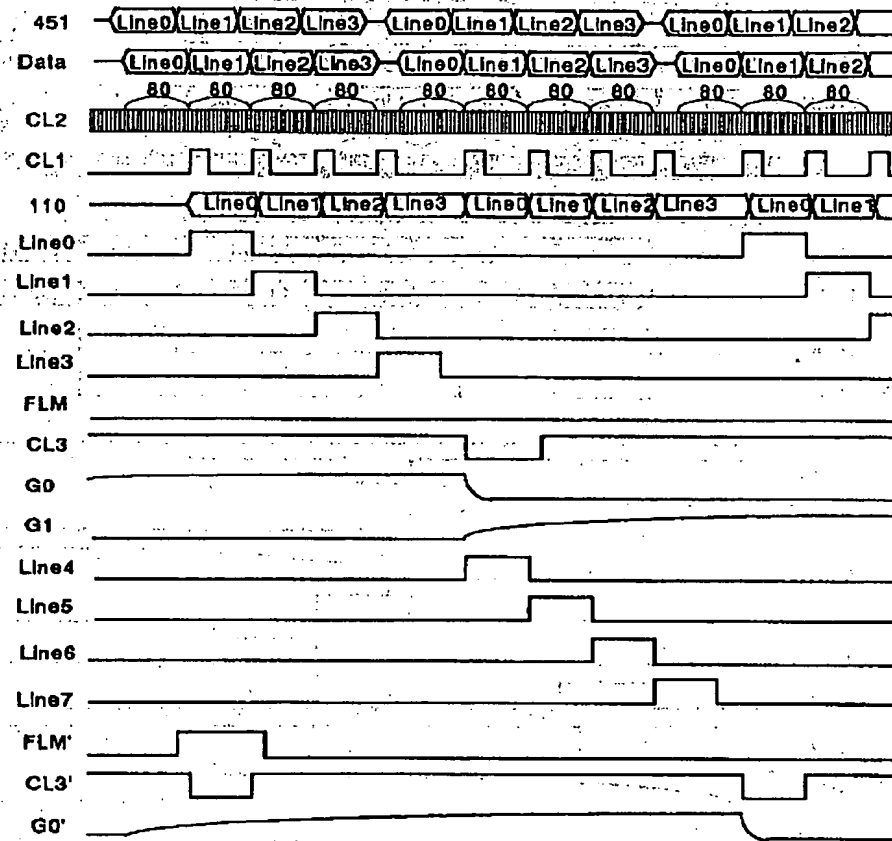
27



(22)

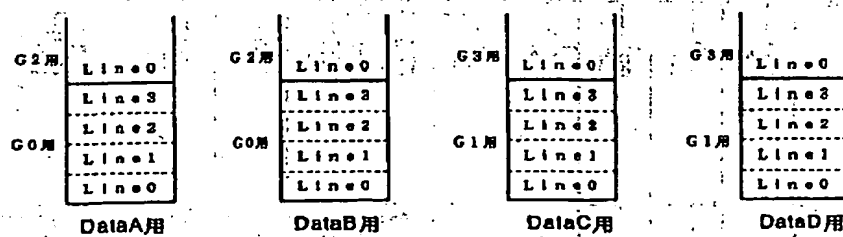
【図28】

図 28



【図36】

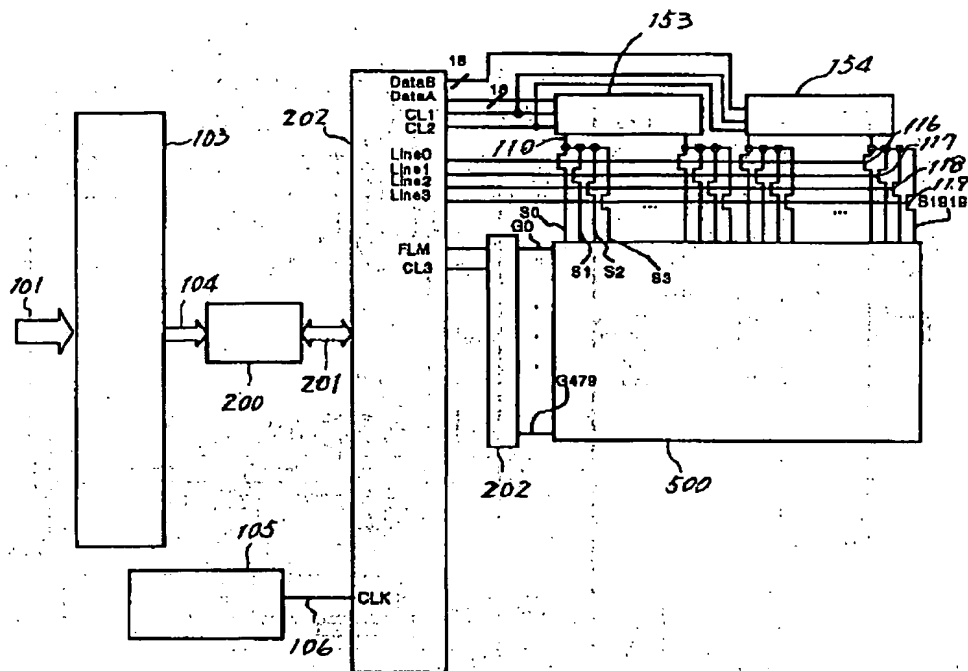
図 36



(23)

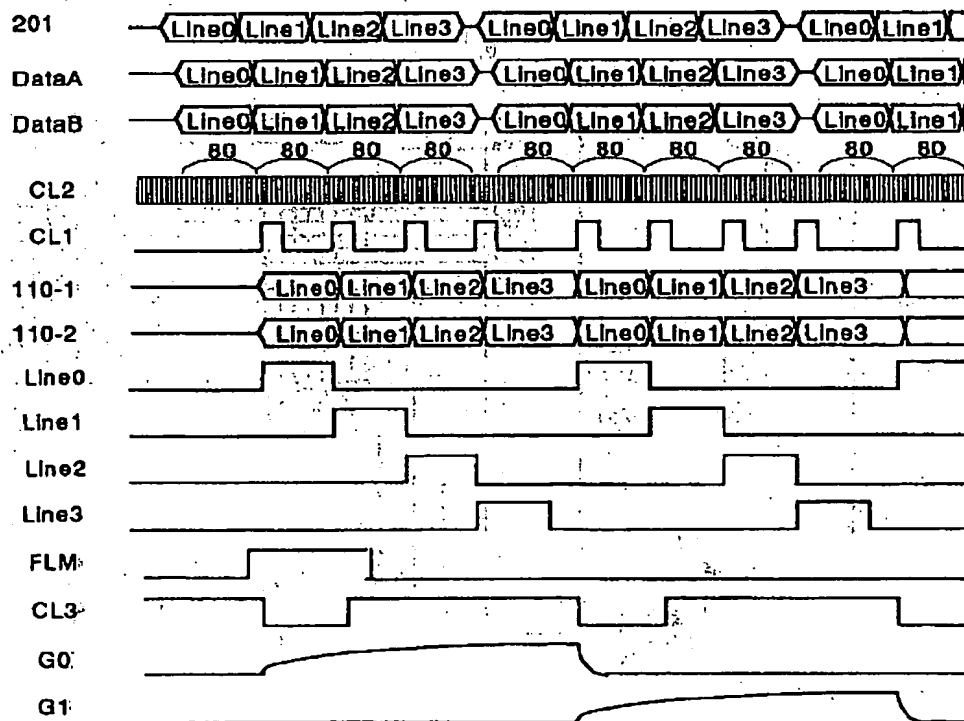
【図 30】

30



【图 3 2】

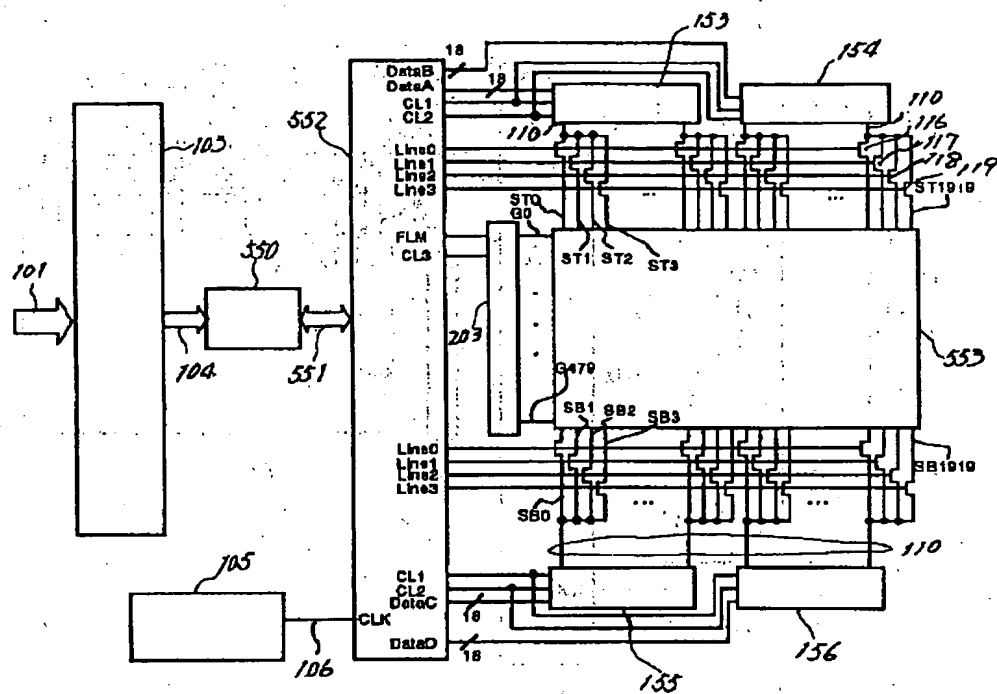
32



(24)

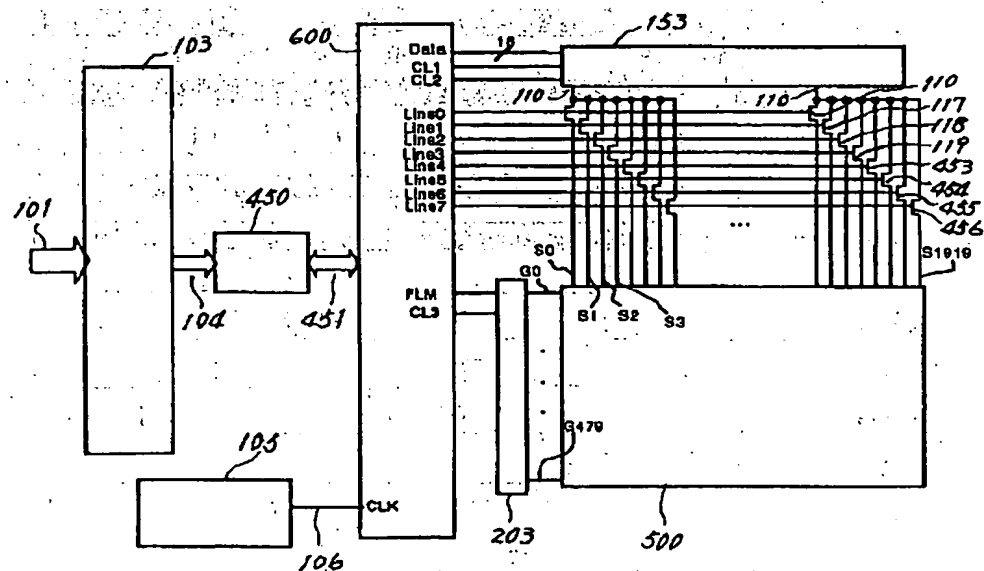
【図 3 3】

四 33



【図 37】

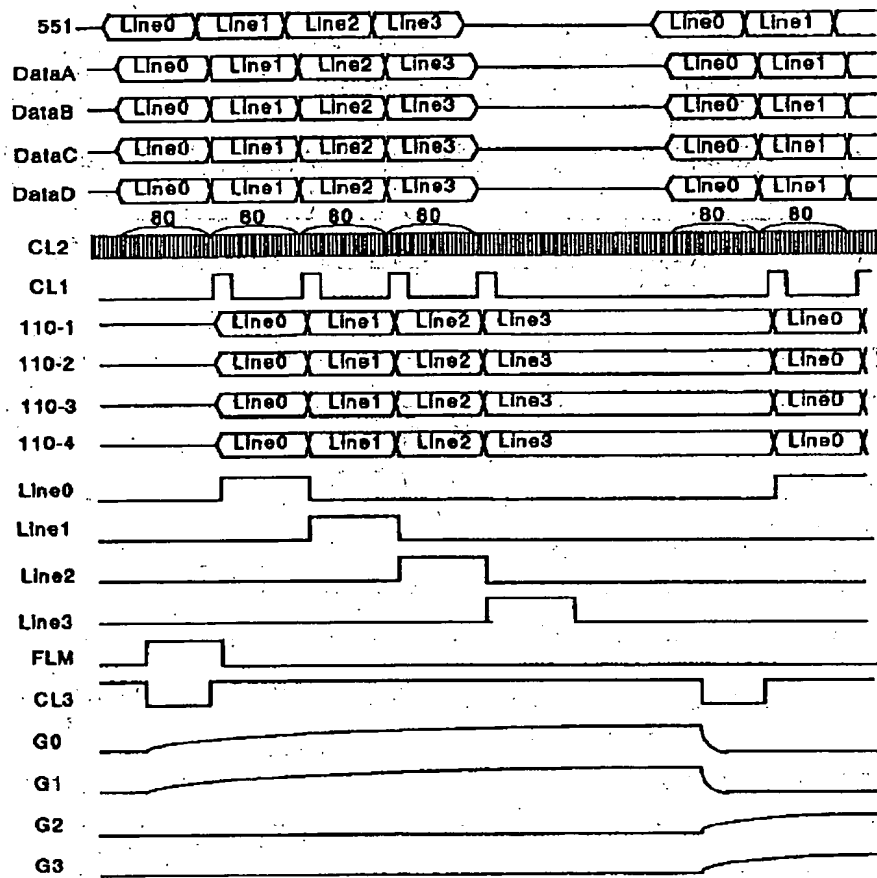
37



(25)

【図35】

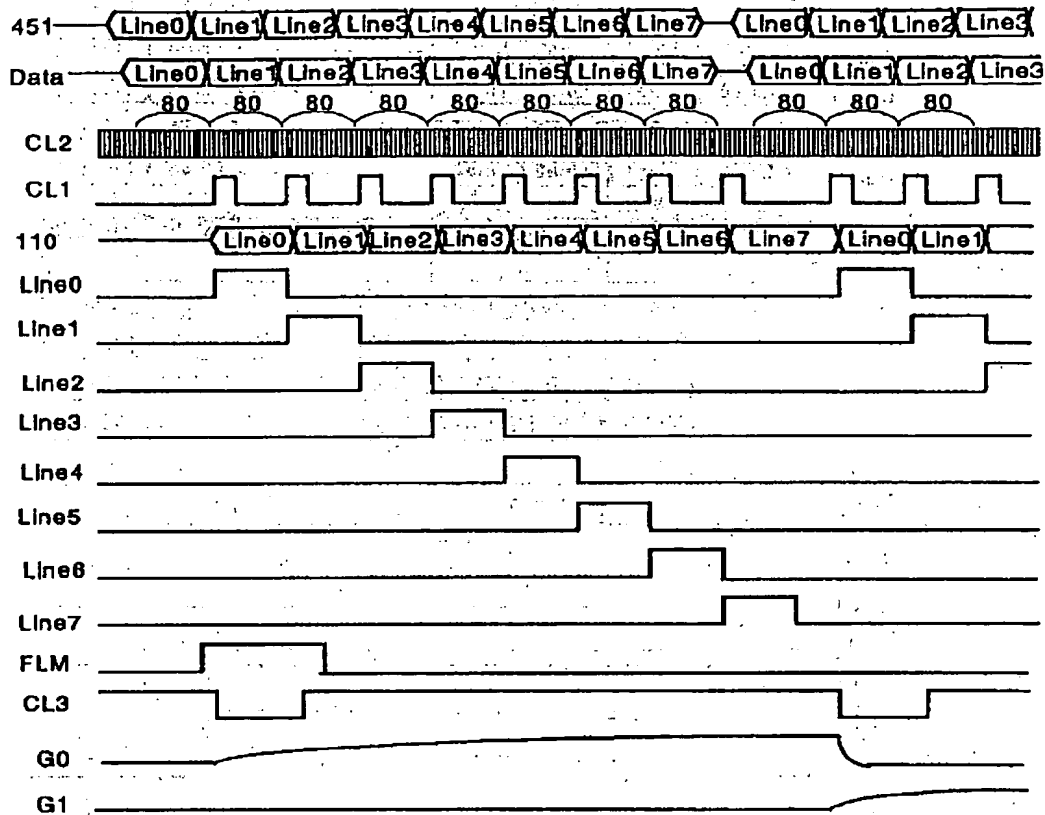
35



(26)

【図38】

38



フロントページの続き

(72)発明者 滝田 功  
神奈川県川崎市麻生区王禅時1099番地株式  
会社日立製作所システム開発研究所内  
(72)発明者 池田 牧子  
神奈川県川崎市麻生区王禅時1099番地株式  
会社日立製作所システム開発研究所内

(72)発明者 田中 武  
茨城県日立市大みか町七丁目1番1号株式  
会社日立製作所日立研究所内  
(72)発明者 二見 利男  
千葉県茂原市早野3300番地株式会社日立製  
作所電子デバイス事業部内  
(72)発明者 恒川 悟  
東京都小平市上水本町五丁目20番1号株式  
会社日立製作所半導体事業部内